

Boucles à verrouillage de phase ou "Phase-Locked Loop" (PLL)

A Ionescu

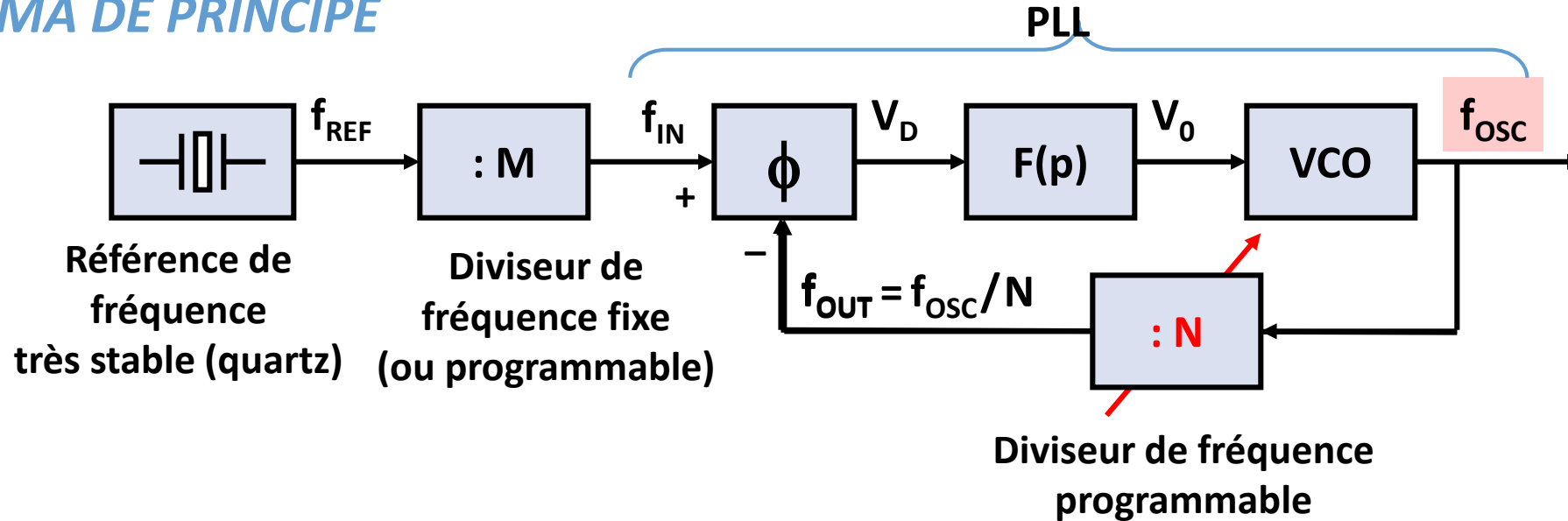
Applications:
SYNTHESE DE FREQUENCES
à PLL

SYNTHESE DE FREQUENCES A PLL

1. Principes de base d'un synthétiseur à PLL
2. PLL à *diviseur programmable simple*
3. PLL à *pré-diviseur fixe*
4. PLL à *pré-diviseur à double modulo $P / P+1$*
5. PLL à *division fractionnaire*
6. Caractéristiques principales des synthétiseurs

1. PRINCIPES DE BASE D'UN SYNTHÉTISEUR À PLL

SCHÉMA DE PRINCIPE



PLL verrouillée $\Rightarrow f_{OUT} = f_{IN}$

\Rightarrow

$$f_{OSC} = N \cdot f_{IN} = \frac{N}{M} \cdot f_{REF}$$

La résolution sur la fréquence synthétisée: $\Delta f_{OSC} = f_{IN} = f_{REF}/M$

(car N est variable par pas de 1)

À noter que la multiplication $f_{OSC} = N \cdot f_{IN}$ est rendue possible à l'aide d'un diviseur dans la boucle, grâce à la réaction négative et au phénomène de verrouillage de phase, qui impose $f_{IN} = f_{OUT}$.

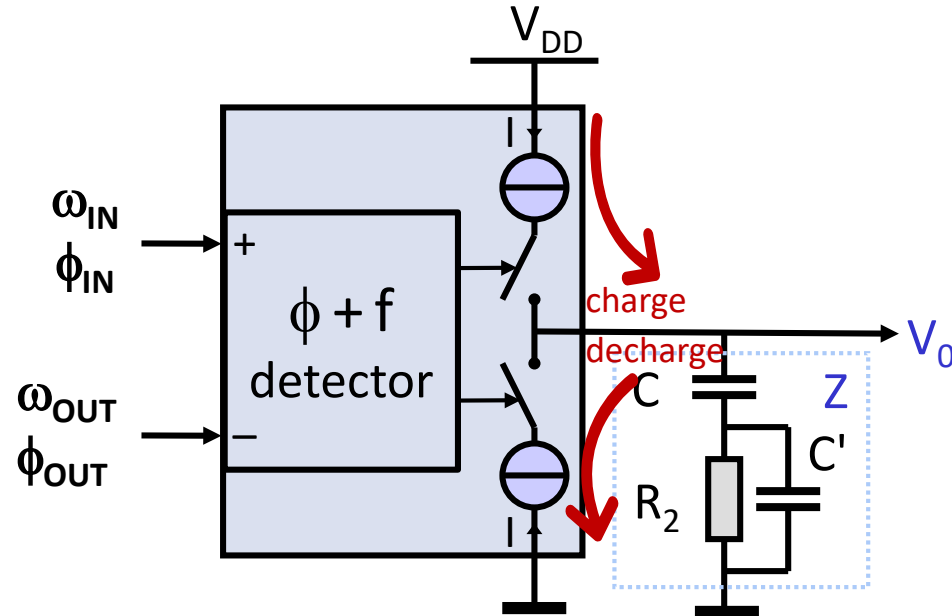
Il est également important de noter que, dans le cas du synthétiseur, f_{IN} est générée à partir d'une référence fixe. Ainsi, pendant la phase de capture et de verrouillage, c'est principalement f_{OUT} qui varie lorsque le facteur N est changé (compteur programmable) pour changer la valeur de la **freq synthétisée à la sortie du VCO**.

1. PRINCIPES DE BASE D'UN SYNTHÉTISEUR À PLL

DÉTECTEUR DE PHASE-FRÉQUENCE ET FILTRE INTÉGRATEUR

Pour la synthèse de fréquence, le détecteur de phase est généralement de type phase-fréquence séquentiel, couplé à un filtre intégrateur "charge pump" de degré 2 ou plus.

La PLL sera donc de degré 3 ou plus élevé.



La pompe de charge génère des impulsions de courant positives ou négatives dans le filtre de la boucle PLL. Le signe et la durée de ces impulsions dépendent du déphasage entre les deux signaux d'entrée.

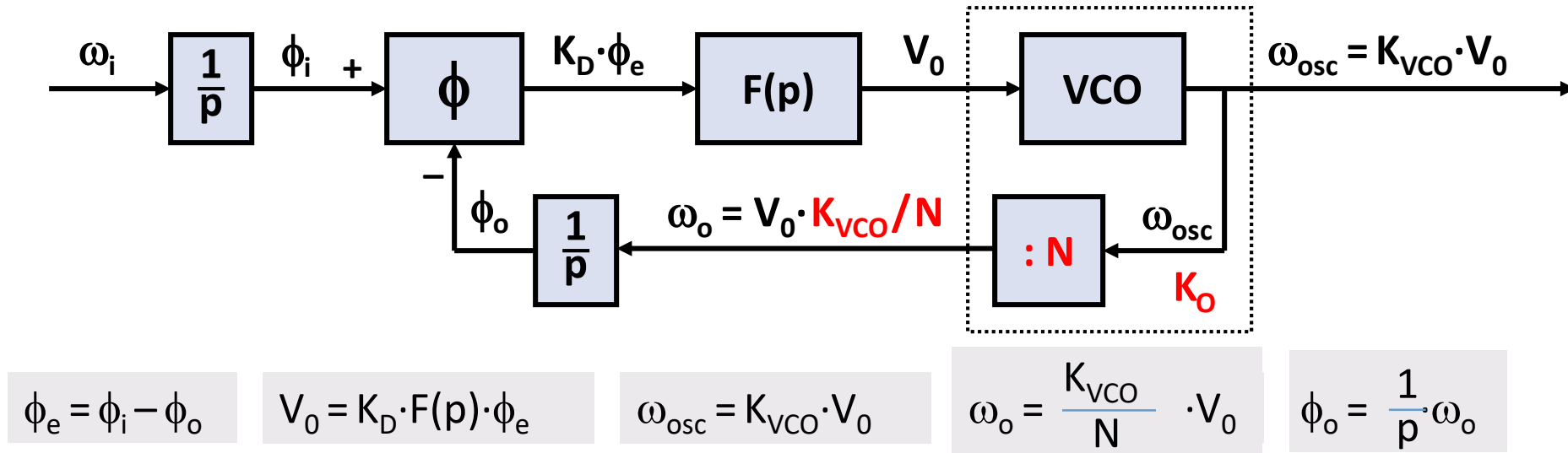
C' introduit un pôle supplémentaire au filtre ce qui permet de mieux moyennner et atténuer les impulsions dans la tension de commande du VCO (V_0)

Grâce au détecteur phase-fréquence associé au filtre intégrateur, les domaines de capture et de verrouillage sont identiques et limités par la dynamique du signal V_0 ou celle du VCO.

Le filtre de degré 2, voir plus, permet de réduire les perturbations à f_{IN} , créées par le détecteur de phase, dont les résidus qui parviennent à l'entrée du VCO provoquent une modulation indésirable de la fréquence f_{OSC} .

1. PRINCIPES DE BASE D'UN SYNTHÉTISEUR À PLL

FONCTION DE TRANSFERT DE LA PLL



Le diviseur a pour effet de réduire d'un facteur **N** le "gain" K_{VCO} du VCO, et donc celui de la boucle ouverte

$$\frac{V_0(p)}{\omega_i(p)} = \frac{K_D \cdot F(p)}{p + K_D \cdot F(p) \cdot K_{VCO}/N}$$

$$\frac{\omega_o(p)}{\omega_i(p)} = \frac{K_D \cdot F(p) \cdot K_{VCO}/N}{p + K_D \cdot F(p) \cdot K_{VCO}/N}$$

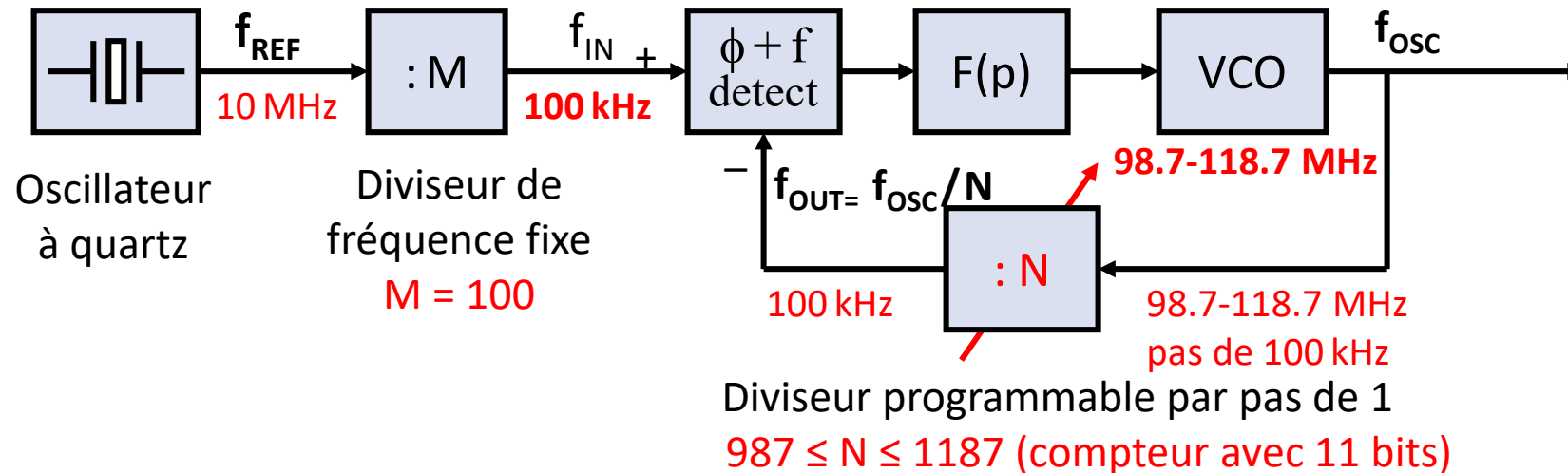
$$\frac{\phi_e(p)}{\phi_i(p)} = \frac{p}{p + K_D \cdot F(p) \cdot K_{VCO}/N}$$

- Quand N augmente: Bande passante ↓, amortissement ↓, marge de phase ↓ ⇒ boucle plus lente
- Une variation trop importante de N (par exemple de N_{min} à N_{max}) peut provoquer des problèmes de stabilité de la boucle, car correspond une sollicitation 'saut de fréquence' pour f_{OUT}

2. PLL À DIVISEUR PROGRAMMABLE SIMPLE

SCHÉMA DE BASE - EXEMPLE DE DIMENSIONNEMENT (voir procédure pas par pas sur slide suivant)

Oscillateur local d'un récepteur FM: Synthèse de fréquence de 98.7 MHz à 118.7 MHz par pas de 100 kHz (0.1 MHz)



PLL verrouillée $\Rightarrow f_{OUT} = f_{IN} \Rightarrow f_{OSC} = N \cdot f_{IN} = \frac{N}{M} \cdot f_{REF}$

$\Delta f_{OSC} = f_{IN} = f_{REF}/M$

**Le diviseur programmable doit supporter une fréquence maximum de Clock de 120 MHz.
Solution peu économique car N doit être réalisé dans une technologie très performante (rapide)!**

Procédure de dimensionnement

1) Fixer la gamme du VCO

Définir la plage de fréquences à synthétiser en sortie: $f_{OSC,min}$ à $f_{OSC,max}$.

Choisir un VCO la couvrant avec marge (ex.: 98,7–118,7 MHz).

2) Définir le pas (résolution) de synthèse

À partir de la relation de verrouillage d'un integer-N,

$$f_{OSC} = \frac{N}{M} f_{REF}, \quad \Delta f_{OSC} = \frac{f_{REF}}{M} = f_{IN},$$

on voit que le pas est fixé par f_{IN} . On choisit donc $f_{IN} = 100$ kHz.

3) Choisir la référence et le $\div M$

Prendre un quartz (fréquence stable, faible bruit), p.ex. $f_{REF} = 10$ MHz.

Fixer ensuite $M = 100$ pour obtenir $f_{IN} = f_{REF}/M = 100$ kHz (diviseur fixe ou programmable).

4) Condition de verrouillage

On impose la condition de verrouillage, $f_{IN} = f_{OUT}$, ce qui impose $f_{OUT} = 100$ kHz.

Note: ici f_{OUT} désigne la fréquence au point de comparaison (entrée du détecteur), donc $f_{OUT} = f_{OSC}/N$.

5) Déterminer la plage de N

$$N_{min} = \left\lceil \frac{f_{OSC,min}}{f_{IN}} \right\rceil, \quad N_{max} = \left\lfloor \frac{f_{OSC,max}}{f_{IN}} \right\rfloor.$$

Avec $f_{OSC,min} = 98,7$ MHz, $f_{OSC,max} = 118,7$ MHz, $f_{IN} = 100$ kHz:

$$\boxed{987 \leq N \leq 1187.}$$

Un compteur programmable 11 bits (jusqu'à 2047) convient.

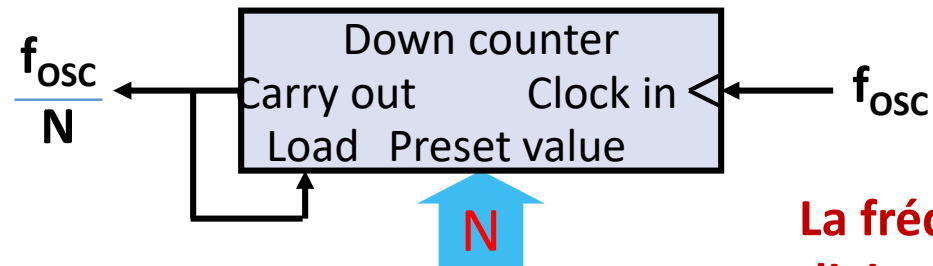
Conseils / vérifications utiles

- Vitesse du $\div N$: il fonctionne à f_{OSC} ; prévoir une techno acceptant ≈ 120 MHz (sinon, ajouter un préscaler rapide).

2. PLL À DIVISEUR PROGRAMMABLE SIMPLE

LIMITATION EN FRÉQUENCE DU DIVISEUR PROGRAMMABLE

Le diviseur programmable est généralement un décompteur réinitialisé à la valeur N après passage par 1 (ou réinitialisé à N-1 après passage par 0)



La fréquence d'entrée (Clock) maximum des diviseurs programmables est limitée

Exemple de diviseurs programmables

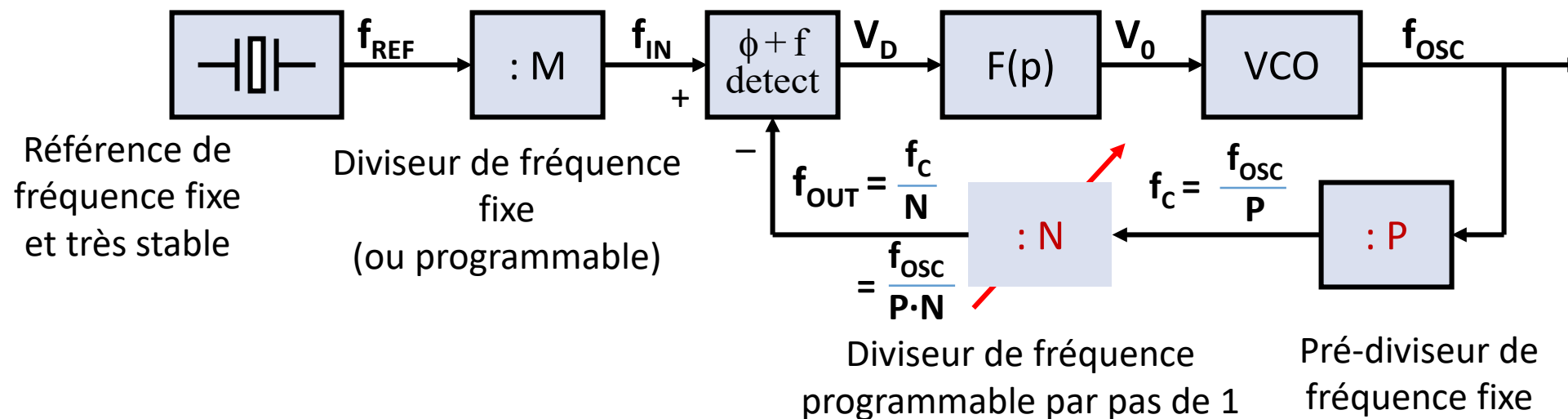
74 HC 192 40 MHz (bon marché)

74 AC 11192 125 MHz (plus cher)

- $\div N$ programmable à la fréquence VCO : larges compteurs + logique multi-modulus → grande surface, plus de puissance, technologie plus chère.
 - préscaler fixe (rapide) : petite chaîne de bascules → peu de transistors, peu coûteux.
- On place un préscaler pour encaisser la très haute fréquence, et laisser le $\div N$ programmable tourner plus lentement en CMOS standard, donc coût nettement inférieur.

3. PLL À PRÉ-DIVISEUR FIXE

SCHÉMA DE PRINCIPE



$$\text{PLL verrouillée} \Rightarrow f_{OUT} = f_{IN} \Rightarrow f_{OSC} = P \cdot N \cdot f_{IN} = \frac{P \cdot N}{M} \cdot f_{REF}$$

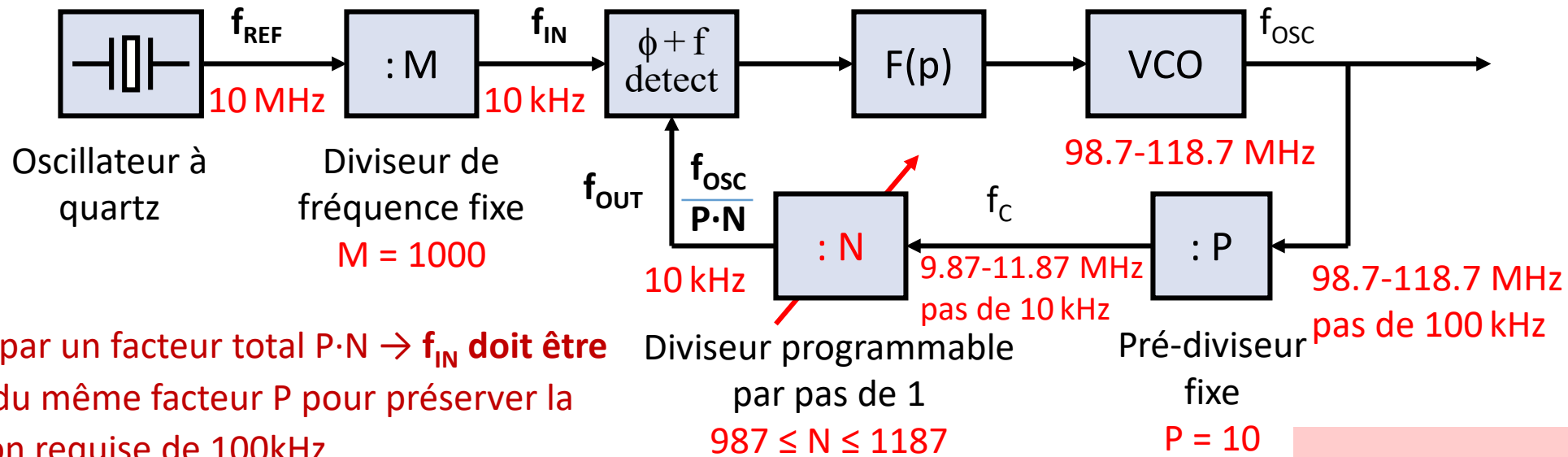
$$\text{La résolution sur la fréquence synthétisée: } \Delta f_{OSC} = P \cdot f_{IN} = P \cdot f_{REF} / M$$

On remarque que si l'on veut une résolution fine, étant donné que P est fixe, la seule option est de **réduire f_{IN}** mais cela **peut affecter les performances de la PLL (bande passante réduite, temps de verrouillage augmente, bruit de phase plus important)**

3. PLL À PRÉ-DIVISEUR FIXE

EXEMPLE DE DIMENSIONNEMENT

L'Oscillateur local d'un récepteur FM: Synthèse de fréquence de 98.7 MHz à 118.7 MHz par pas de 100 kHz (0.1 MHz)



Division par un facteur total $P \cdot N \rightarrow f_{IN}$ doit être réduite du même facteur P pour préserver la résolution requise de 100kHz

$$f_{OSC} = P \cdot N \cdot f_{IN} = \frac{P \cdot N}{M} \cdot f_{REF}$$

Cette solution engendre d'autres inconvenients :

- La fréquence de coupure du filtre passe-bas $F(p)$ diminue avec $f_{IN} \rightarrow$ le temps de réponse de la PLL augmente
- Le facteur de division total est plus élevé, le bruit de phase augmente

2. & 3. SYNTHÉTISEUR À PLL AVEC DIVISEUR PROGRAMMABLE SIMPLE OU PRÉ-DIVISEUR FIXE

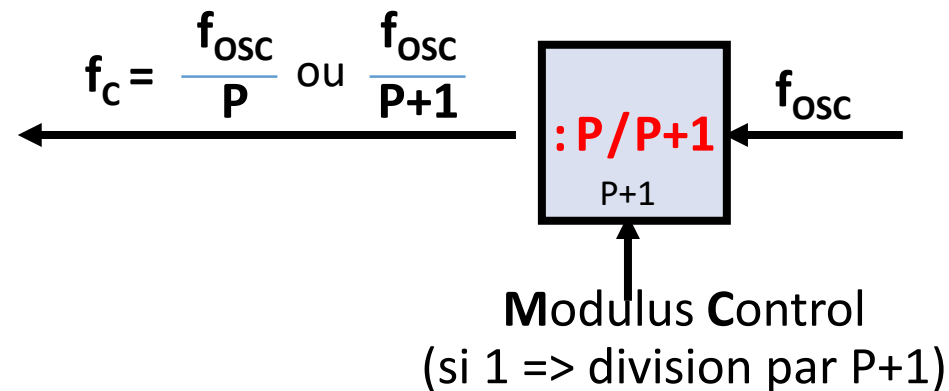
RÉSUMÉ DES LIMITATIONS

- Fréquence d'entrée limitée du diviseur programmable.
- Comportement dynamique de la boucle dégradé pour des gammes importantes du rapport de division N
- Temps de réponse important lorsque le pas des fréquences à synthétiser est petit (f_{IN} basse).
- Bruit de phase plus important à la sortie lorsque le facteur de division total est élevé. À noter que le bruit de phase dégrade la pureté spectrale des fréquences synthétisées.
- Avec pré-diviseur fixe, la résolution étant de $P \cdot f_{IN}$, il faut diminuer f_{IN} pour conserver la résolution mais la PLL sera plus lente. Le facteur de division étant augmenté, cela affecte la stabilité et bruit de phase plus important.

4. PLL À PRÉ-DIVISEUR P/P+1

PRINCIPE DU PRÉ-DIVISEUR A DOUBLE MODULO

Un pré-diviseur à double modulo (Dual Modulus Prescaler) est un diviseur de fréquence dont le facteur de division est de P ou de P+1 en fonction de l'état d'une entrée binaire de commande.

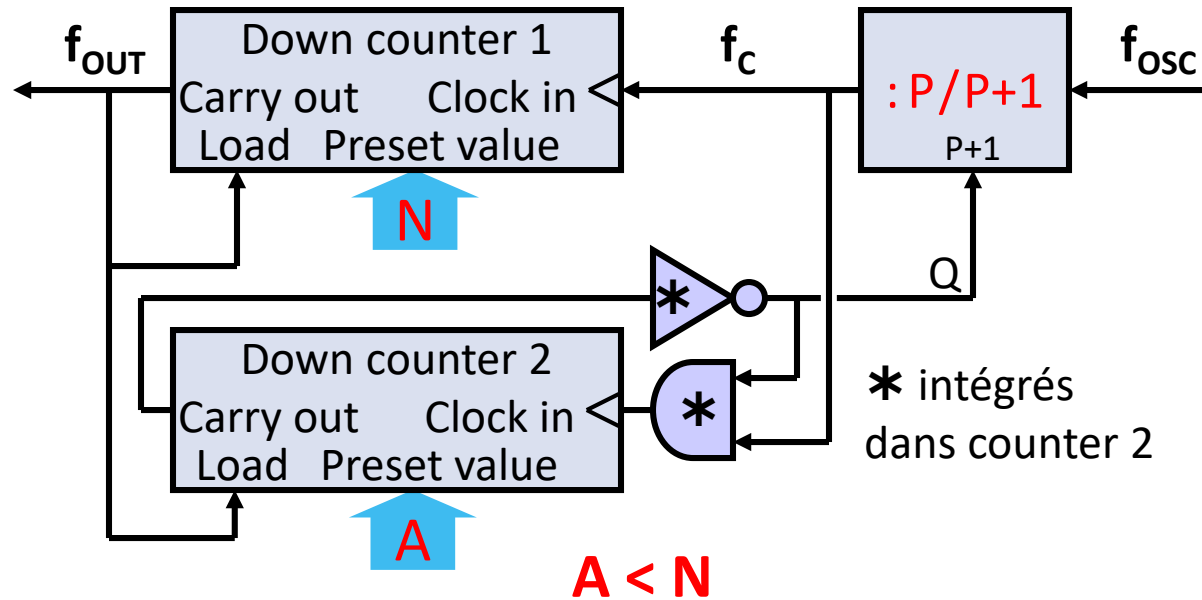


Les pré-diviseurs à double modulo ont une structure interne optimisée pour accepter une fréquence d'entrée élevée.

Le facteur de division de base P est souvent une puissance de 2 (par exemple, on trouve des circuits :8/9, :16/17, :32/33, :64/65, etc)

4. PLL À PRÉ-DIVISEUR P / P+1

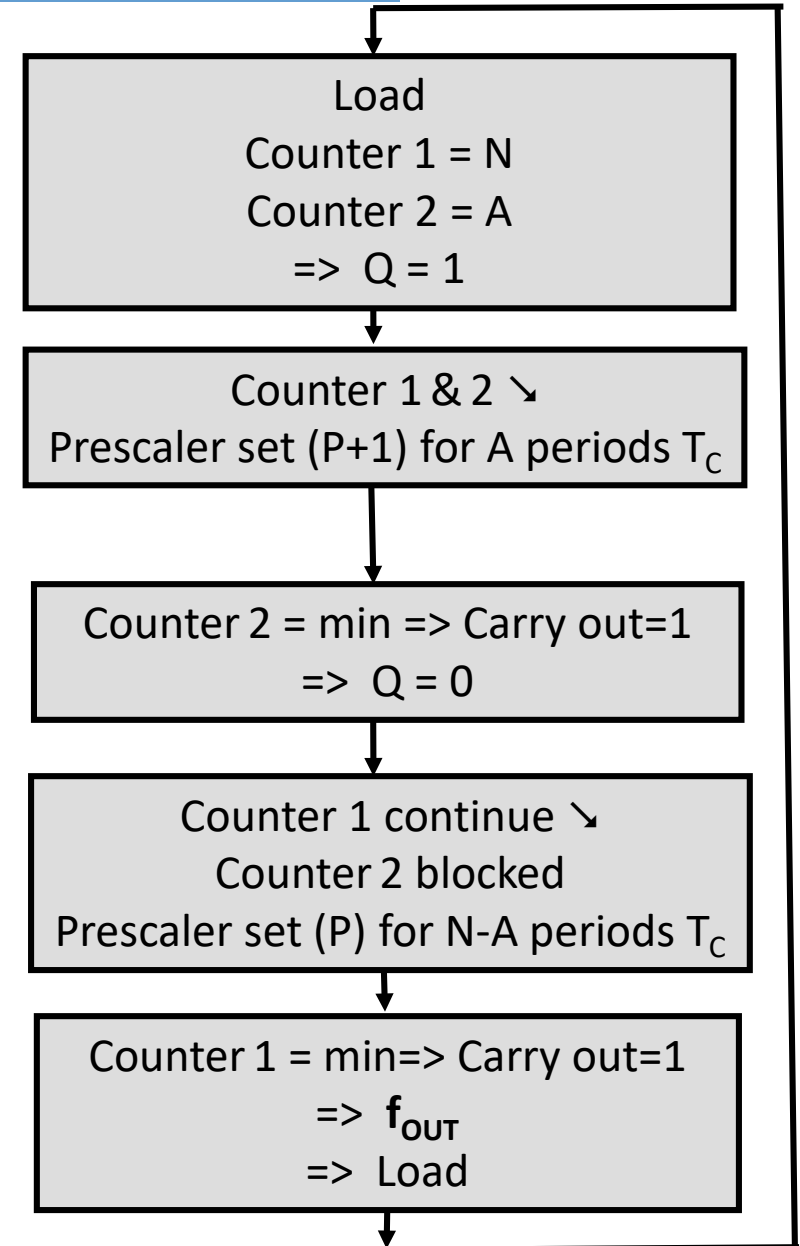
PRINCIPE DU DIVISEUR A PRÉ-DIVISEUR P / P+1



$$T_{OUT} = N \cdot T_C = A \cdot (P+1) \cdot T_{OSC} + (N-A) \cdot P \cdot T_{OSC}$$

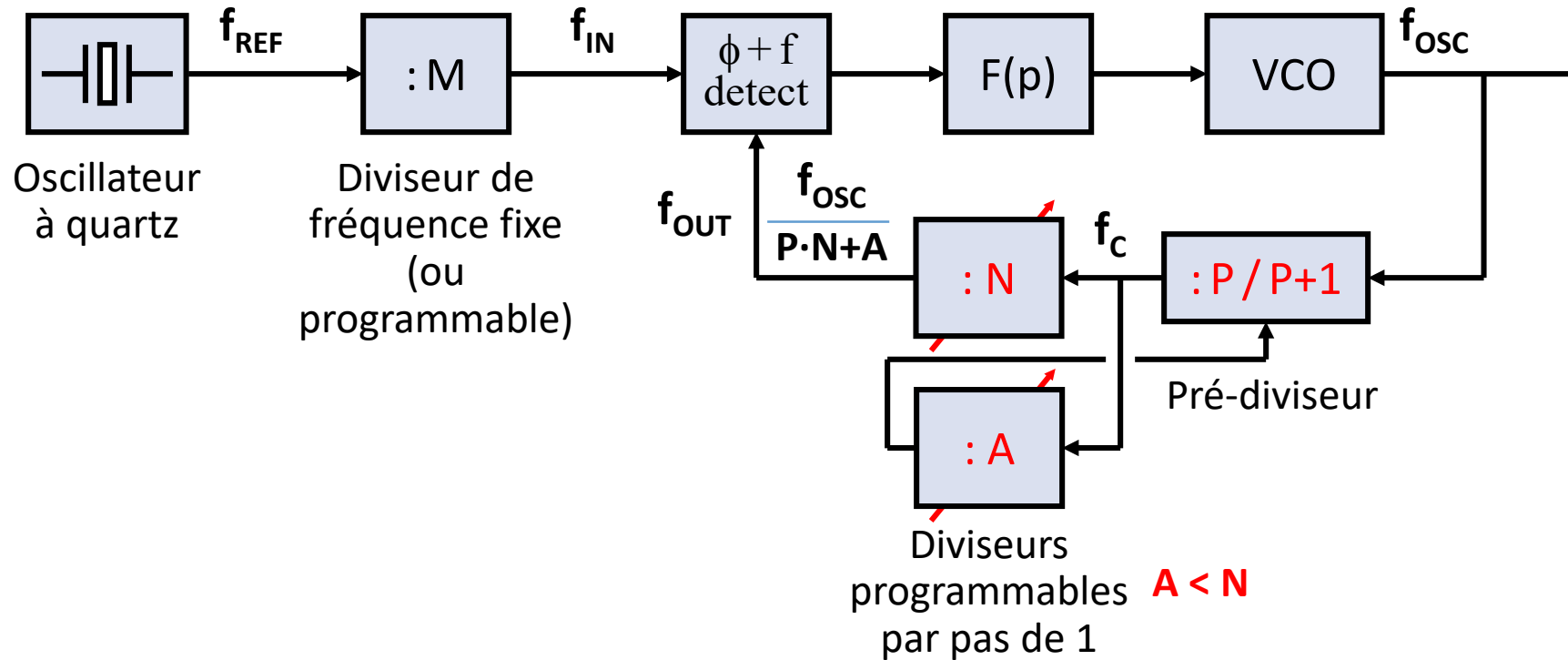
$$f_{OUT} = \frac{f_{OSC}}{A \cdot (P+1) + (N-A) \cdot P} = \frac{f_{OSC}}{P \cdot N + A}$$

Facteur de division = $P \cdot N + A$



4. PLL À PRÉ-DIVISEUR P / P+1

SYNTHÉTISEUR À PRÉ-DIVISEUR P / P+1



PLL verrouillée $\Rightarrow f_{\text{OUT}} = f_{\text{IN}} \Rightarrow$

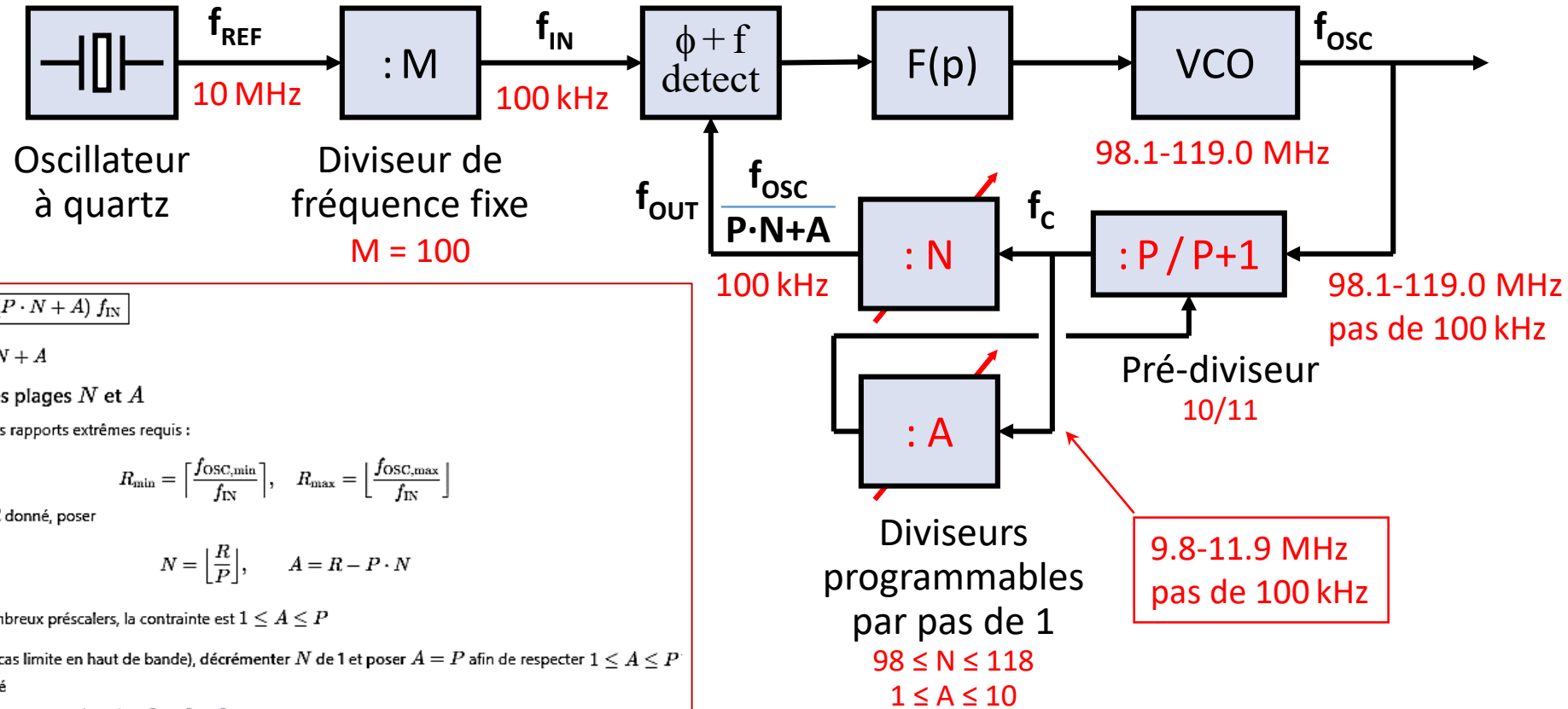
$$f_{\text{OSC}} = (P \cdot N + A) \cdot f_{\text{IN}} = \frac{P \cdot N + A}{M} \cdot f_{\text{REF}}$$

La résolution sur la fréquence synthétisée: $\Delta f_{\text{OSC}} = f_{\text{IN}}$ (car A varie par pas de 1)

4. PLL À PRÉ-DIVISEUR P / P+1

EXEMPLE DE DIMENSIONNEMENT

L'Oscillateur local d'un récepteur FM: Synthèse de fréquence de 98.7 MHz à 118.7 MHz par pas de 100 kHz (0.1 MHz)



$$f_{OSC} = (P \cdot N + A) f_{IN}$$

$$R = P \cdot N + A$$

Calcul des plages N et A

1. Calculer les rapports extrêmes requis :

$$R_{min} = \left\lceil \frac{f_{OSC, min}}{f_{IN}} \right\rceil, \quad R_{max} = \left\lfloor \frac{f_{OSC, max}}{f_{IN}} \right\rfloor$$

2. Pour un R donné, poser

$$N = \left\lfloor \frac{R}{P} \right\rfloor, \quad A = R - P \cdot N$$

Sur de nombreux préscales, la contrainte est $1 \leq A \leq P$

Si $A = 0$ (cas limite en haut de bande), décrémenter N de 1 et poser $A = P$ afin de respecter $1 \leq A \leq P$

Exemple chiffré

- $R_{min} = \lceil 98,1 \text{ MHz} / 100 \text{ kHz} \rceil = \lceil 981 \rceil = 981$
 $\Rightarrow N = \lfloor 981 / 10 \rfloor = 98, A = 981 - 10 \cdot 98 = 1$
- $R_{max} = \lfloor 119,0 \text{ MHz} / 100 \text{ kHz} \rfloor = \lfloor 1190 \rfloor = 1190$
 $\Rightarrow N = \lfloor 1190 / 10 \rfloor = 119, A = 0 \rightarrow \text{ajustement} \rightarrow N = 118, A = 10$

Donc plages programmables : $98 \leq N \leq 118$ et $1 \leq A \leq 10$

4. SYNTHÉTISEUR À PLL AVEC PRÉ-DIVISEUR P / P+1

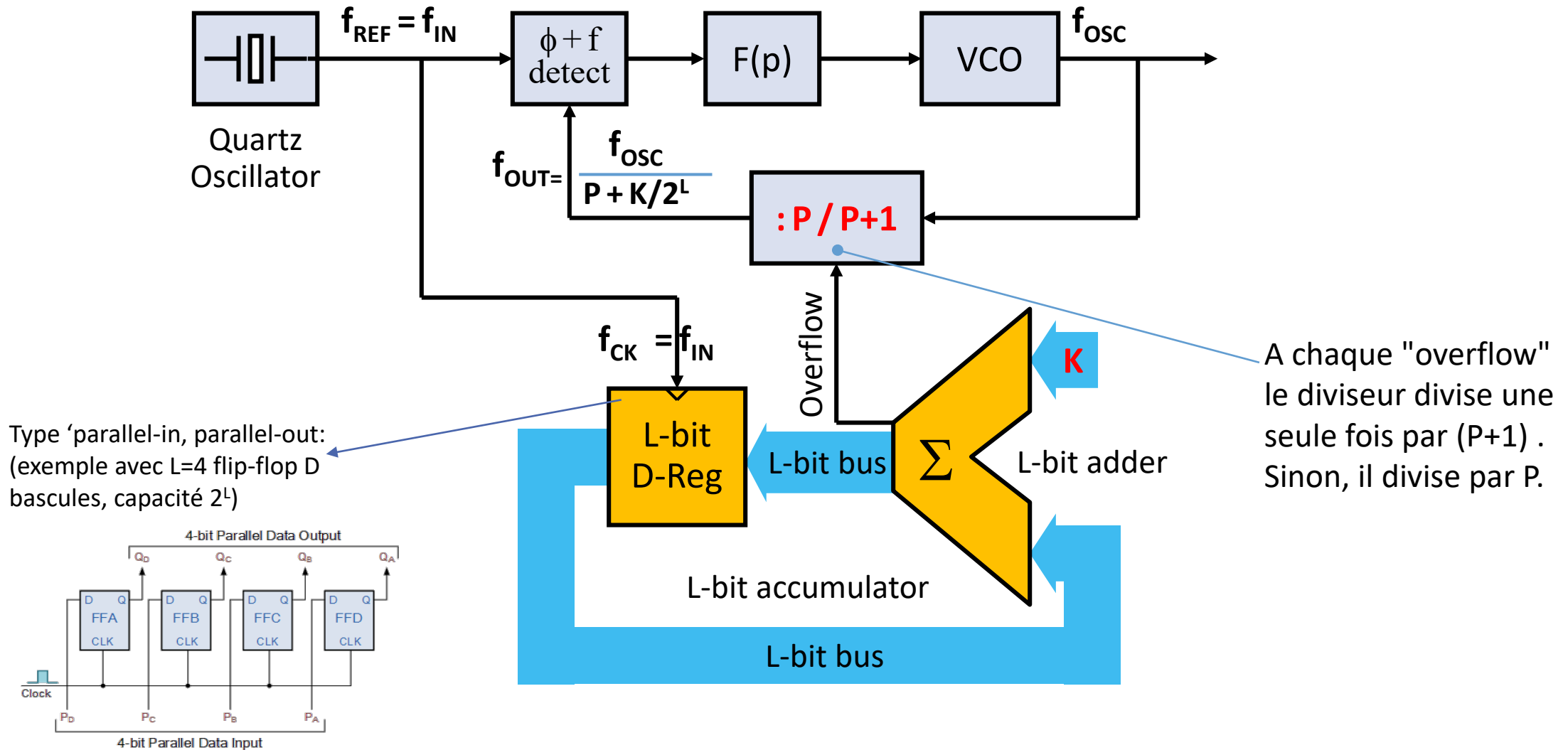
CARACTÉRISTIQUES

- La division se fait à nouveau par pas unitaire => résolution: $\Delta f_{OSC} = f_{IN}$
- Par comparaison, avec un pré-diviseur fixe: résolution $\Delta f_{OSC} = P \cdot f_{IN}$
- La fréquence d'entrée du pré-diviseur P / P+1 peut être élevée car ces diviseurs dits "dual modulus" ont une structure optimisée pour la vitesse

Exemple de diviseur : LMX 2305 (National)
pré-division par 64/65 ou par 128/129
fréquence max. 550 MHz

5. PLL À DIVISION FRACTIONNAIRE

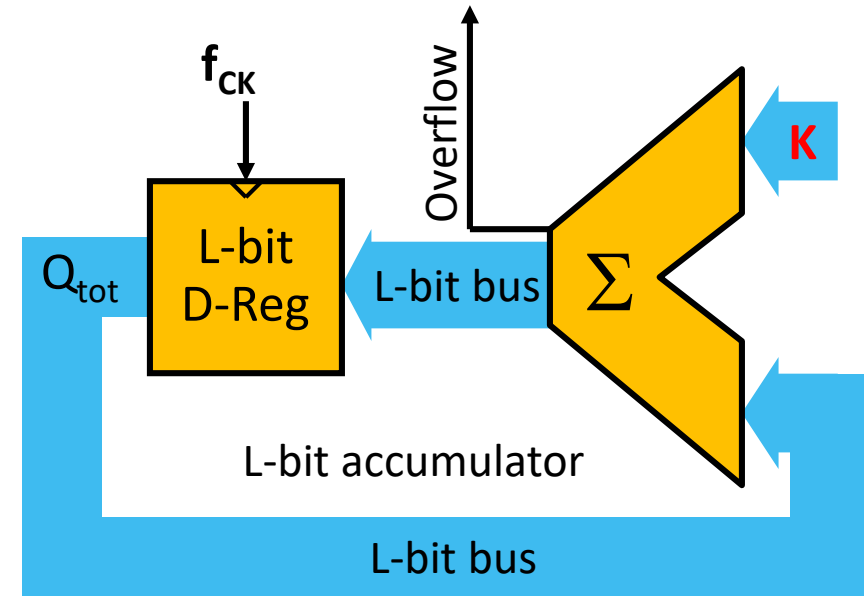
SCHÉMA DE PRINCIPE GLOBAL



5. PLL À DIVISION FRACTIONNAIRE

FONCTIONNEMENT DE L'ACCUMULATEUR

- L'accumulateur est un système séquentiel sur L bits qui, à chaque coup d'horloge, ajoute **K** à son état Q_{tot} précédant: $(Q_{\text{tot}} + K) \rightarrow Q_{\text{tot}}$
- **K** est un nombre codé en binaire sur L bits ou moins.
- Chaque fois que $(Q_{\text{tot}} + K)$ dépasse 2^L , l'accumulateur oublie 2^L : $(Q_{\text{tot}} + K - 2^L) \rightarrow Q_{\text{tot}}$ (registre 'vide') et un signal "Overflow" est généré



Si l'accumulateur avait une capacité illimitée, en une seconde (unité standard du temps), il aurait accumulé:

$$Q_{\text{tot}} = f_{\text{CK}} \cdot K$$

Avec une capacité limitée à 2^L , l'accumulateur va faire f_{OFL} Overflows par seconde:

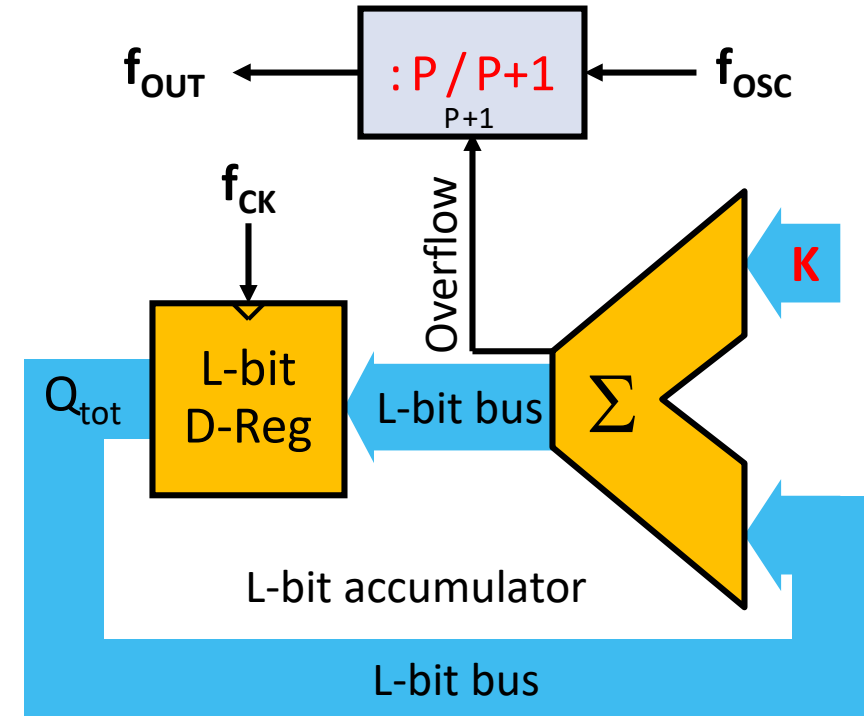
$$f_{\text{OFL}} = f_{\text{CK}} \cdot K / 2^L$$

5. PLL À DIVISION FRACTIONNAIRE

CALCUL DU FACTEUR DE DIVISION

Le facteur de division normal est de **P**, sauf à chaque "Overflow" où il est une seule fois de **(P+1)**.

On peut aussi considérer qu'à chaque "Overflow" une période T_{OSC} est ignorée ou "avalée" (Pulse Swallow).

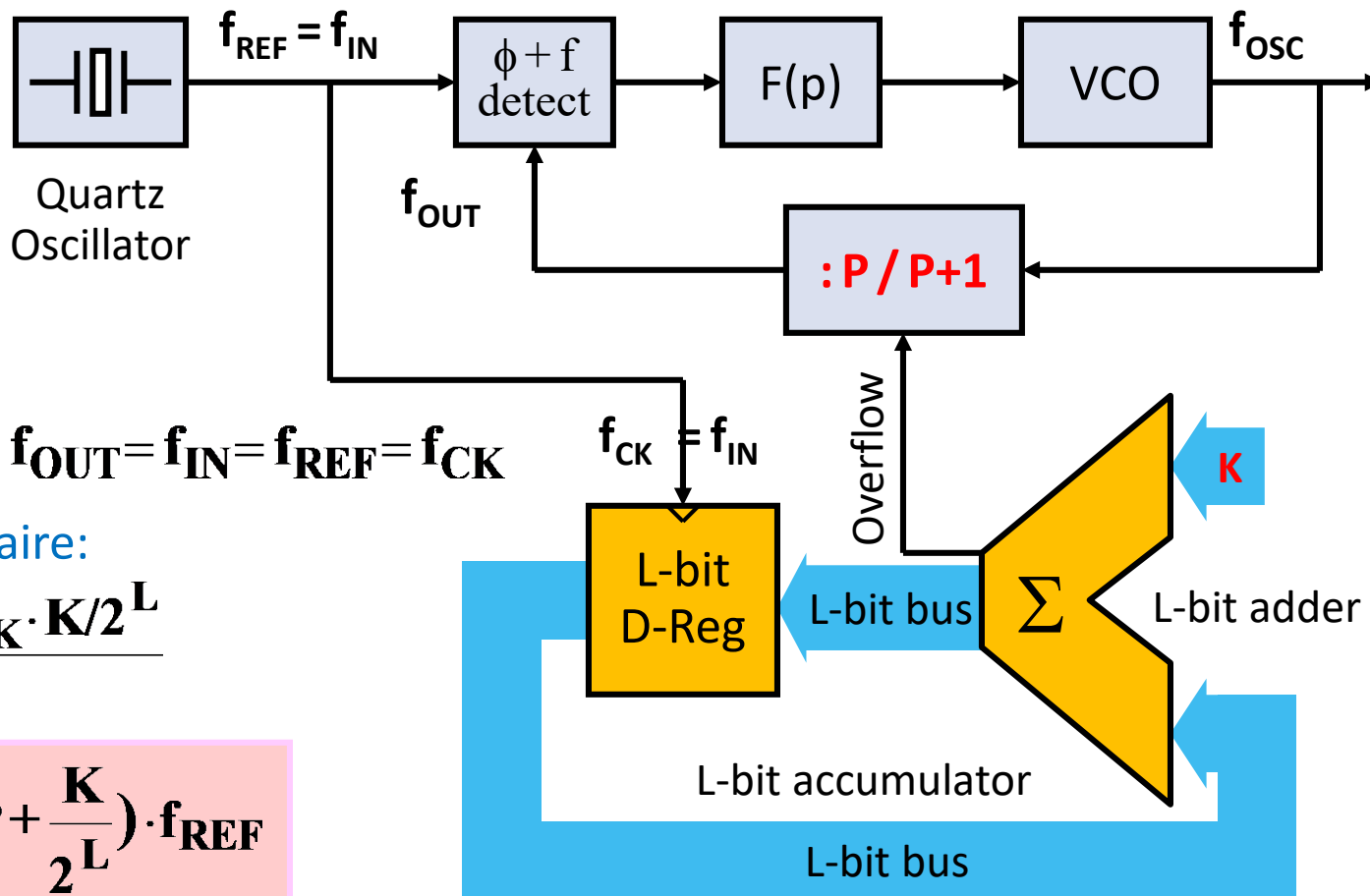


Durant chaque seconde, le diviseur reçoit f_{OSC} périodes en entrée, il en ignore autant qu'il y a d'Overflows, donc f_{OFL} , et il divise le reste par P .

$$f_{OUT} = \frac{f_{OSC} - f_{OFL}}{P} = \frac{f_{OSC} - f_{CK} \cdot K/2^L}{P}$$

5. PLL À DIVISION FRACTIONNAIRE

SYNTHÉTISEUR À DIVISEUR FRACTIONNAIRE



Notez que ce diviseur ne divise pas directement la fréquence de sortie par une valeur fractionnaire à chaque cycle.

Au lieu de cela, à chaque cycle, il effectue une division entière (soit P ou $P+1$, selon l'état de l'accumulateur).

La division par une valeur fractionnaire se fait en réalité de manière statistique, c'est-à-dire que la moyenne des valeurs sur une période de temps donne l'effet d'un diviseur fractionnaire.

PLL verrouillée: $f_{OUT} = f_{IN} = f_{REF} = f_{CK}$

Diviseur fractionnaire:

$$f_{OUT} = \frac{f_{OSC} - f_{CK} \cdot K/2^L}{P}$$

$$f_{OSC} = \left(P + \frac{K}{2^L}\right) \cdot f_{REF}$$

Donc f_{OSC} change de $f_{REF}/2^L$ par pas de K

→ La résolution sur la fréquence synthétisée : $\Delta f_{OSC} = f_{REF} \cdot (K/2^L) = f_{IN} \cdot (K/2^L)$, $K < 2^L$

5. PLL À DIVISION FRACTIONNAIRE

EXEMPLE DE DIMENSIONNEMENT

On veut synthétiser des fréquences f_{OSC} dans la bande des 433 MHz, avec une résolution de $f_{\text{REF}}=1$ kHz ou plus fine.

- A ces fréquences, on trouve des pré-diviseurs 'Pulse Swallow' (: P/P+1) du type 64/65
- Il faudra une fréquence de référence *autour* de: $f_{\text{REF}} = 433 \text{ MHz} / 64.5 \approx 6.71 \text{ MHz}$
- Supposons une fréquence de référence $f_{\text{REF}} = f_{\text{IN}} = 6.7 \text{ MHz}$
- Avec f_{REF} choisi on pourra couvrir la gamme de fréq. instantanées à la sortie: $f_{\text{OSC,min}} = 64 \cdot 6.7 = 428.8 \text{ MHz}$ à $f_{\text{OSC,max}} = 65 \cdot 6.7 = 435.5 \text{ MHz}$
- Pour obtenir une résolution de 1 kHz, il faut : $\Delta f_{\text{OSC}} = f_{\text{REF}}(K/2^L) = 6.7 \text{ MHz}(K/2^L) \leq 1 \text{ kHz} \Rightarrow$ on choisi $L_{\text{min}} = 13, K=1$

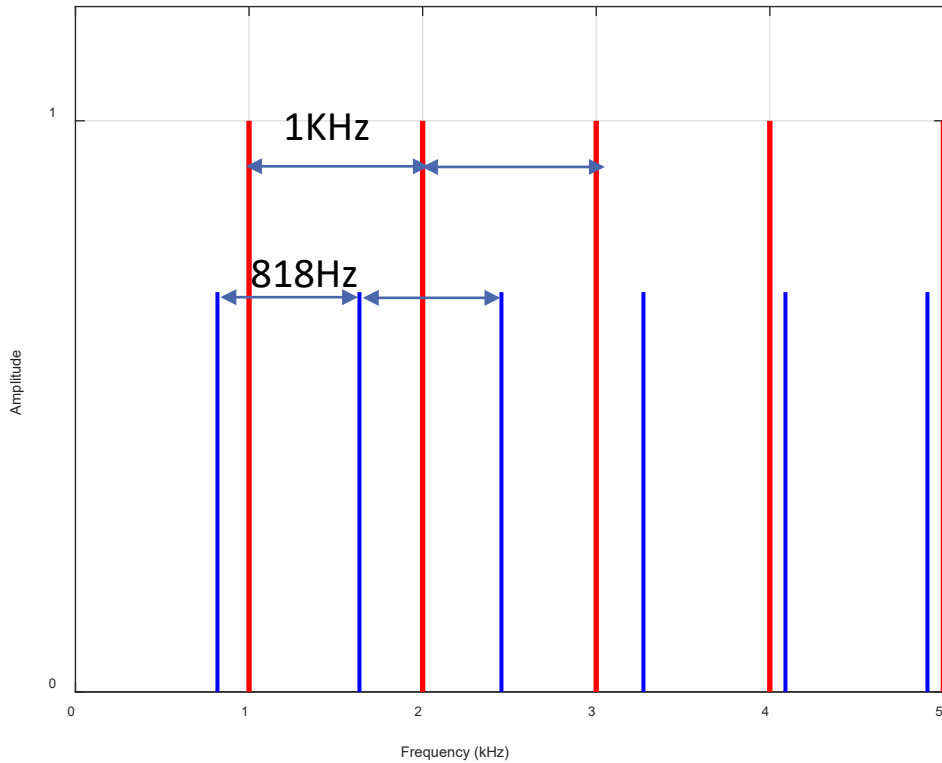
$$f_{\text{OSC}} = \left(P + \frac{K}{2^L}\right) \cdot f_{\text{REF}}$$

$$\Delta f_{\text{OSC}} = f_{\text{REF}} \cdot (K/2^L)$$

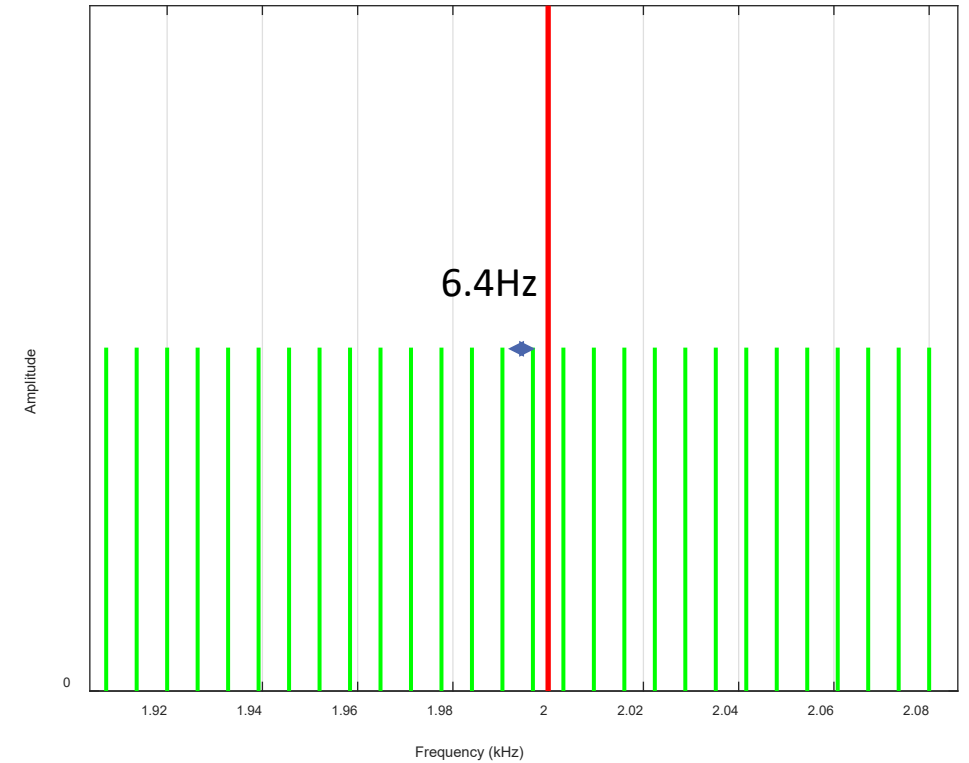
Mais $\Delta f_{\text{OSC}} = 6.7 \text{ MHz} / 2^{13} = 818 \text{ Hz} \Rightarrow$ *erreur maximale possible de 409 Hz sur freq synthétisée, soit environ 0.5 × résolution désirée de 1KHz !*

Pour réduire cette erreurs, supposons qu'on choisi un accumulateur à L=20 bits

La résolution réelle sera de $\Delta f_{\text{OSC}} = 6.7 \text{ MHz} / 2^{20} = 6.4 \text{ Hz} \Rightarrow$ *erreur maximale possible 3.2 Hz , donc meilleur solution!*



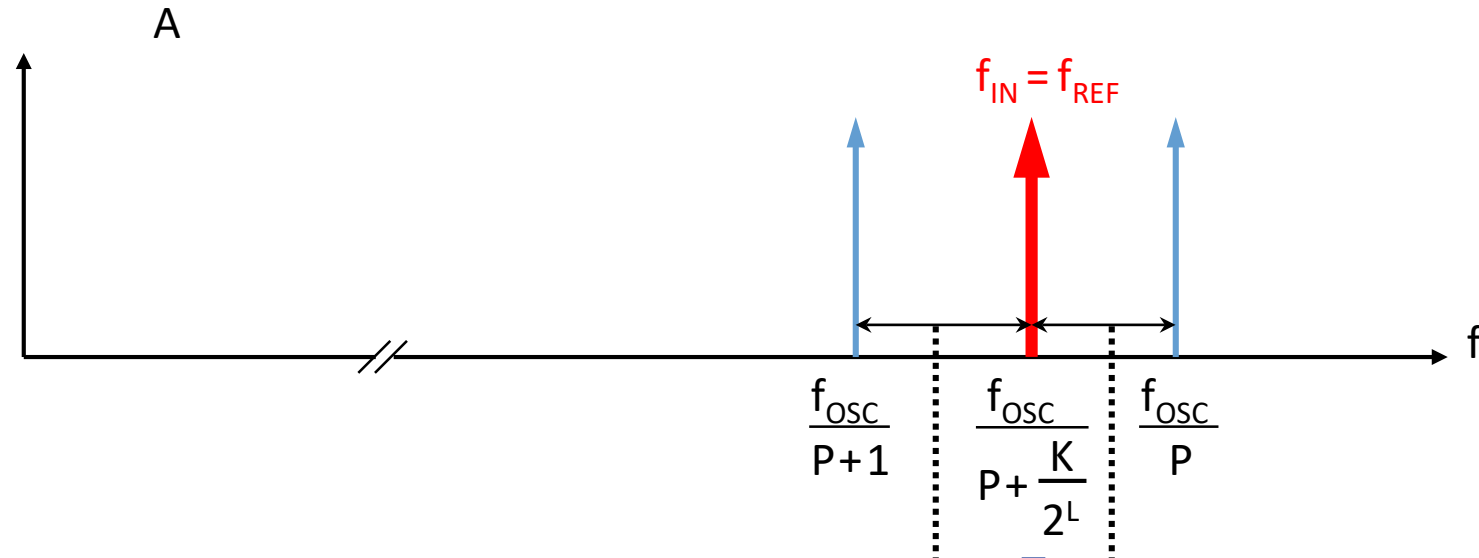
- Résolution souhaitée: 1KHz
 - Résolution réelle avec $L = 13, K=1$: 818Hz →
- L'erreur maximale peut survenir quand les multiples de 1KHz 'tombent' au milieu de l'intervalle qui correspond à la résolution de 818Hz (càd 409Hz)



- Résolution souhaitée: 1KHz
 - Résolution réelle avec $L = 20 K=1$: 6.4Hz →
- L'erreur maximale peut survenir quand les multiples de 1KHz 'tombent' au milieu de l'intervalle qui correspond à la résolution de 6.4Hz (càd 3.2Hz)

5. PLL À DIVISION FRACTIONNAIRE

SIGNAUX AUX ENTRÉES DU DÉTECTEUR DE PHASE



Durant le cycle où la division = $(P+1)$, le prédiviseur "avale" une période T_{OSC} , ϕ_{OUT} prend brusquement du retard sur ϕ_{IN} .

Tant que le facteur de division = P , ϕ_{OUT} prend linéairement de l'avance sur ϕ_{IN}

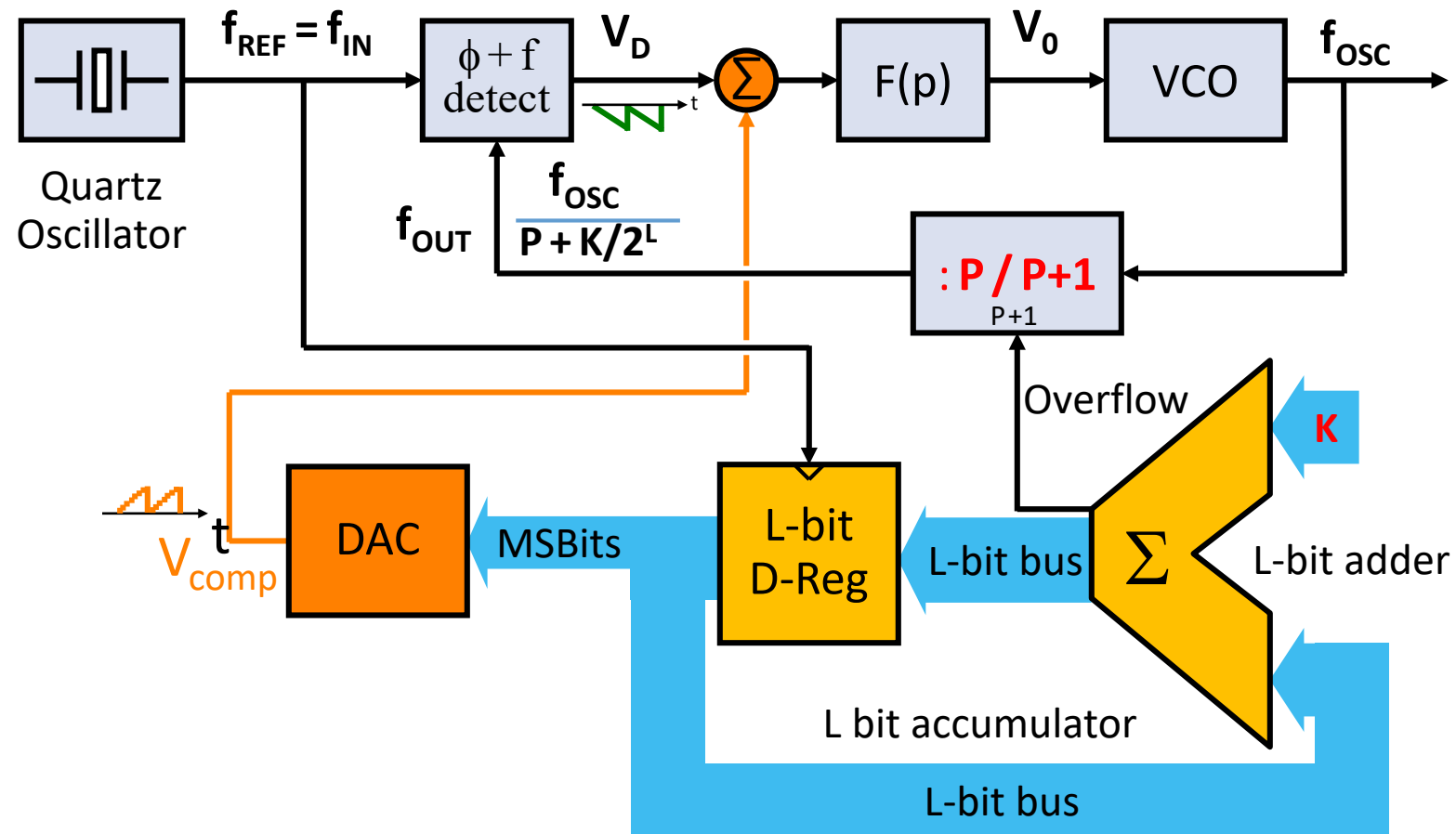
Grâce à la constante de temps élevée du filtre passe-bas $F(p)$, la fréquence du VCO se situe à :

$$f_{OSC} = f_{REF} \cdot \left(P + \frac{K}{2^L} \right)$$

5. PLL À DIVISION FRACTIONNAIRE

COMPENSATION DE L'ERREUR DE PHASE

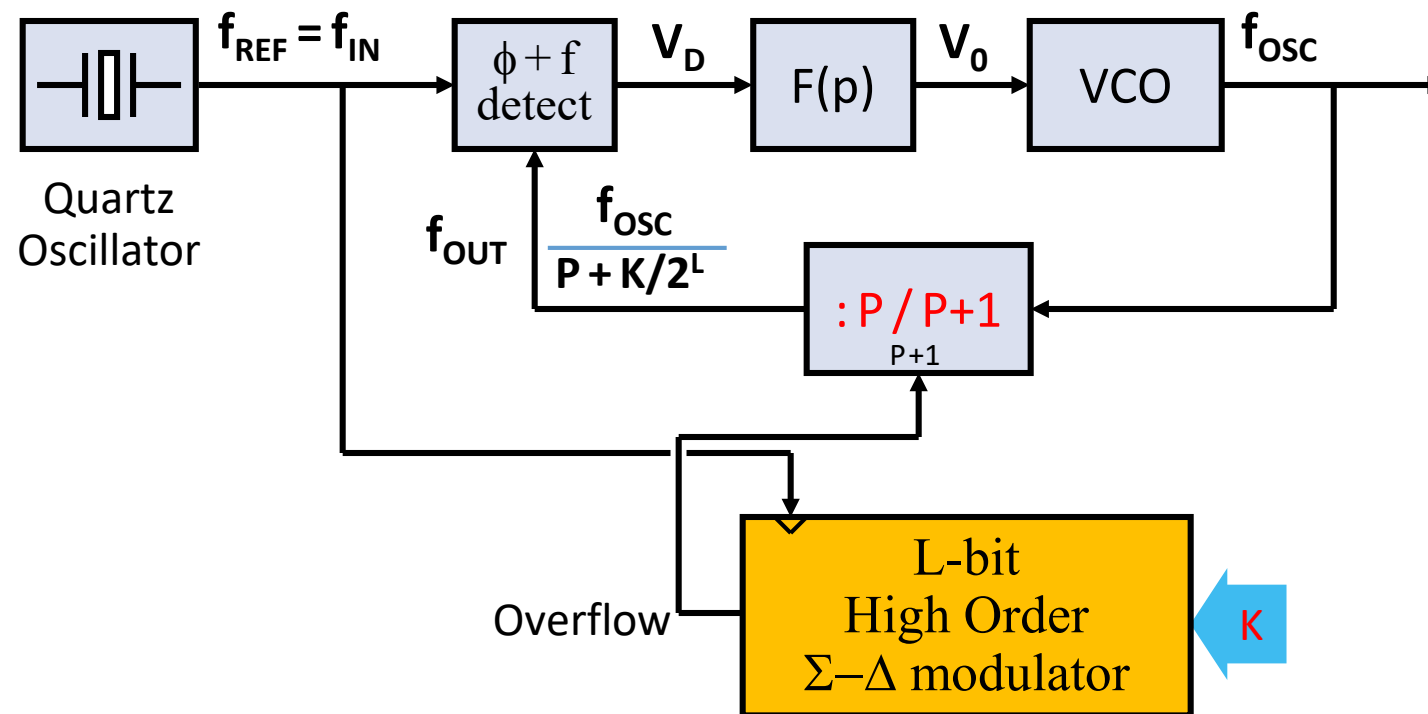
Dans les systèmes les plus sophistiqués, on peut obtenir une extrême stabilité de la fréquence de sortie en compensant, par un circuit mixte analogique et numérique, l'erreur de phase en dents de scie qui apparaît à la sortie du détecteur de phase.



5. PLL À DIVISION FRACTIONNAIRE

COMPENSATION DE L'ERREUR DE PHASE

Une solution plus économique, car entièrement numérique, consiste à remplacer l'accumulateur par un modulateur $\Sigma-\Delta$ d'ordre élevé, dont l'effet de "Noise Shapping", atténue les composantes basses fréquences de l'erreur de phase et donc leur effet sur V_0 et sur la fréquence f_{osc} du VCO.



5. SYNTHÉTISEUR À PLL AVEC DIVISION FRACTIONNAIRE

CARACTÉRISTIQUES

- Possibilité de résolution très fine

pourtant

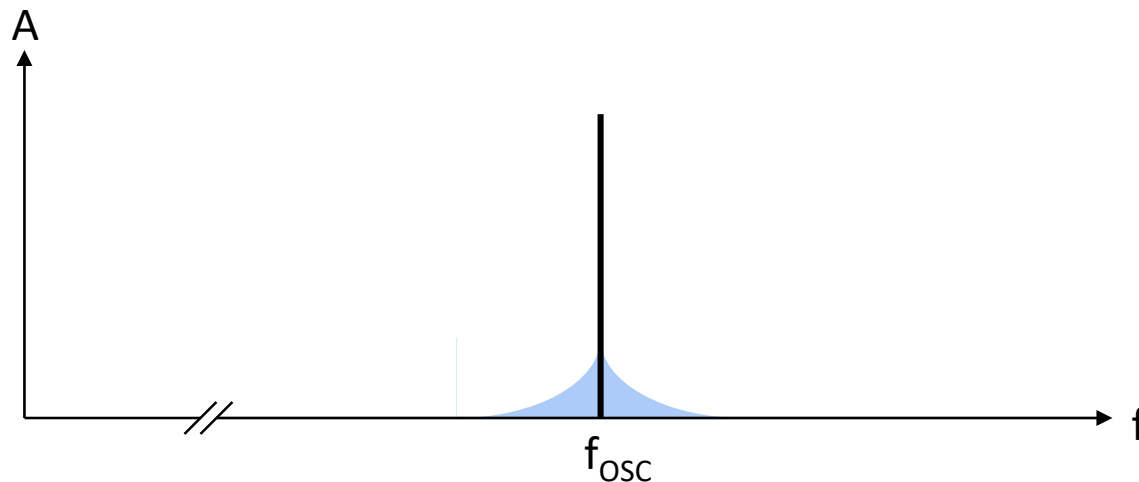
- Fréquence de travail de la PLL f_{IN} élevée, d'où une rapidité de réaction élevée de la boucle PLL ('frequency agile')
- Bruit de phase faible à très faible

par contre

- Rapport max/min de la fréquence synthétisée limité à $(1 + 1/P)$

6. PRINCIPALES CARACTERISTIQUES DES SYNTHETISEURS DE FREQUENCES

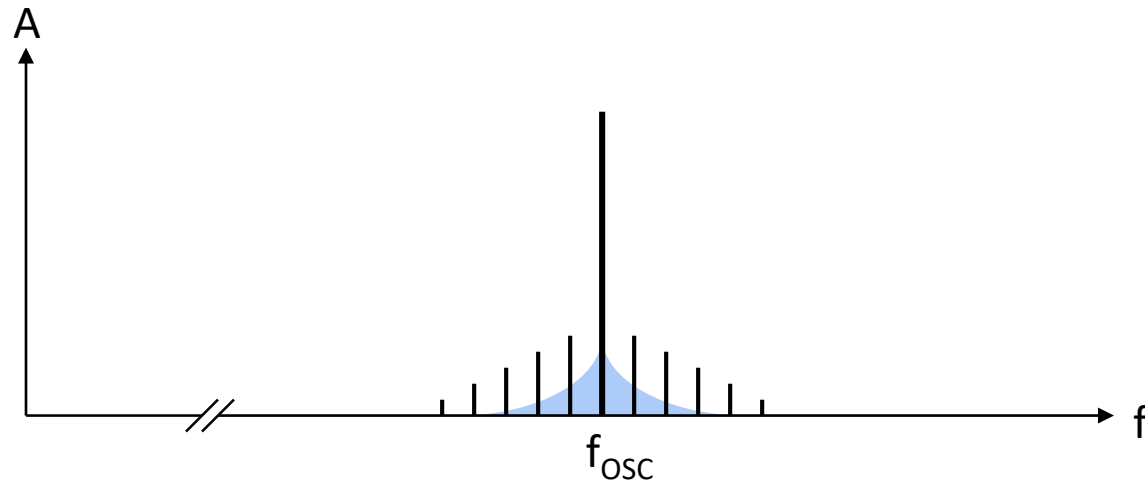
BRUIT DE PHASE (PHASE NOISE)



- Variations aléatoires de la phase instantannée du signal généré par le VCO. Une partie est due au VCO lui-même, une partie est provoquée par du bruit à l'entrée du VCO.
- Le bruit de phase est d'autant plus important que le rapport de division total de fréquence dans la boucle de phase est élevé.

6. PRINCIPALES CARACTERISTIQUES DES SYNTHETISEURS DE FREQUENCES

PARASITES (SPURS)

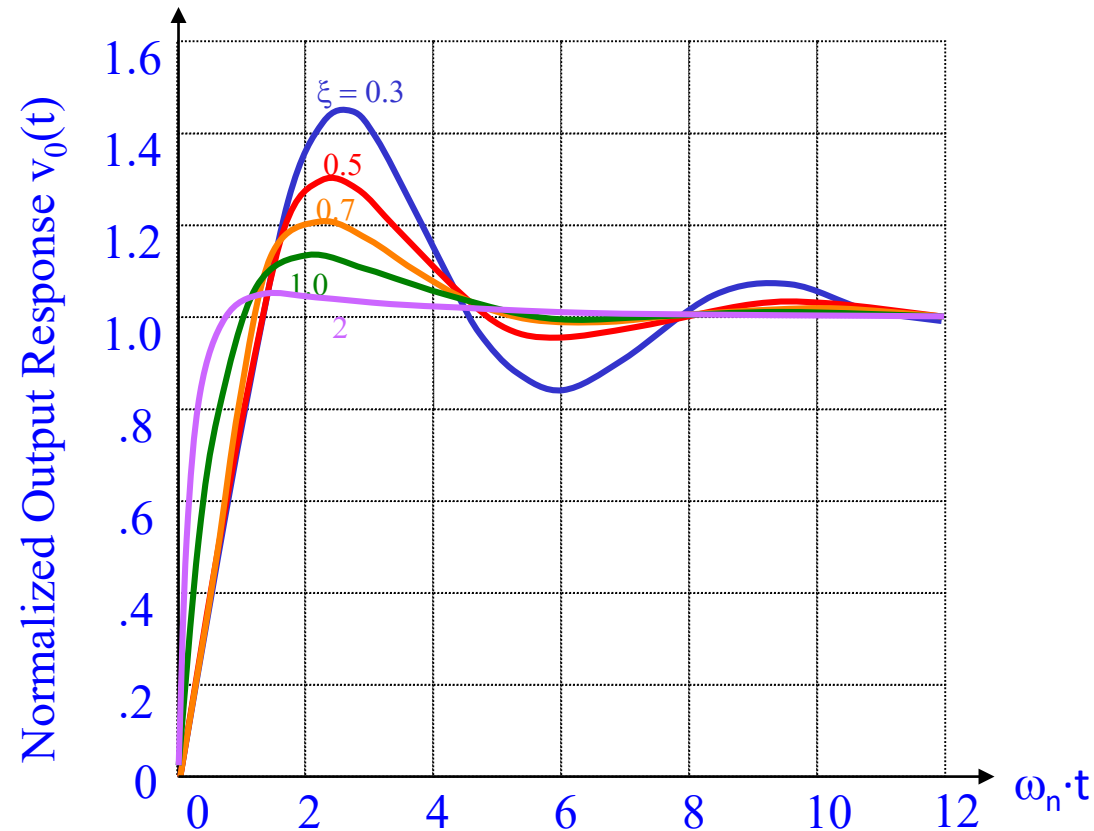


Modulation de fréquence provoquée par les "restes" sur V_0 , de composantes alternatives de V_D , insuffisamment atténuées par le filtre passe-bas.

6. PRINCIPALES CARACTERISTIQUES DES SYNTHETISEURS DE FREQUENCES

TEMPS D'ETABLISSEMENT (SETTLING TIME)

Temps nécessaire pour que f_{OSC} atteigne la valeur désirée avec une tolérance donnée à partir de l'instant de changement de la consigne numérique



Exemple avec
une PLL d'ordre 2

Rappel: $2 \cdot \xi = 1/Q$

$Q = 0.25 \rightarrow \xi = 2$

$Q = 0.5 \rightarrow \xi = 1$

$Q = 0.7 \rightarrow \xi = 0.7$

$Q = 1 \rightarrow \xi = 0.5$

$Q = 1.7 \rightarrow \xi = 0.3$