

Quiz #2 (voir aussi au verso) 20 questions à choix unique (une seule réponse est correcte)

Nom:

Sciper:

1. Dans une PLL quel bloc se comporte comme un intégrateur du signal de commande (tension) vers la phase de sortie ?

- a) Détecteur de phase fréquence (PFD)
- b) Oscillateur commandé en tension (VCO)**
- c) Filtre de boucle
- d) Aucune des réponses ci-dessus

2. Quel détecteur peut corriger à la fois les erreurs de phase et de fréquence, facilitant l'acquisition à partir de grands écarts de fréquence ?

- a) Multiplicateur analogique
- b) Détecteur de phase XOR
- c) Détecteur basé sur logique séquentielle avec pompe de charge**
- d) Aucune des réponses ci-dessus

3. Pour une PLL du 2^{ème} ordre avec filtre intégrateur et zéro, l'erreur de phase au régime établi face à un saut de fréquence est :

- a) Nulle**
- b) Finie
- c) Infinie
- d) Aléatoire

4. Pour une PLL linéarisée du 2^{ème} ordre, un facteur de qualité Q élevé conduit typiquement à :

- a) Un dépassement important et une réponse oscillatoire lente à se stabiliser**
- b) Aucun dépassement mais une réponse très lente
- c) Un bon compromis : faible dépassement et temps de stabilisation court
- d) Des oscillations divergentes rendant la boucle instable

5. Dans le modèle linéarisé d'une PLL, la fonction de transfert du détecteur de phase (entre l'erreur de phase et la tension moyenne de sortie) est, autour du point de verrouillage :

- a) Approximativement constante**
- b) Fortement dépendante de la fréquence du signal d'entrée
- c) Variable principalement avec la tension d'alimentation
- d) Aucune des réponses ci-dessus

9. Lequel n'est PAS un rôle du filtre passe bas de boucle ?

- a) Fixer l'ordre et la bande passante de la boucle
- b) Atténuer les harmoniques du détecteur de phase
- c) Créer le gain du détecteur K_p**
- d) Façonner la dynamique et la stabilité de la PLL

7. Dans quel état la PLL suit la variation de la fréquence d'entrée ?

- a) État de fonctionnement libre ('free-running')
- b) État de capture
- c) État verrouillé en phase**
- d) Toutes les réponses ci-dessus

8. La tension de sortie continue maximale d'un détecteur phase-fréquence se produit :

- a) Lorsque la différence de phase est $\pi/2$
- b) Lorsque la différence de phase est π
- c) Lorsque la différence de phase est $3\pi/4$
- d) Lorsque la différence de phase est 2π**

9. Selon les caractéristiques de transfert de la PLL, l'erreur de phase en valeur absolue entre la sortie du VCO et le signal entrant doit être maintenue entre _____ afin de conserver le verrouillage.

- a) 0 & π**
- b) 0 & $\pi/2$
- c) 0 & 2π
- d) π & 2π

10. Pourquoi la PLL compare-t-elle la phase (et non la fréquence) dans sa contre réaction ?

- a) La phase est plus facile à mesurer que la fréquence
- b) Comparer les fréquences impose une erreur de fréquence non nulle au régime établi**
- c) La phase contient l'information d'amplitude
- d) La comparaison de fréquences réduit le jitter

11. Un facteur K_o du VCO trop élevé (et filtre inchangé) provoque le plus probablement :

- a) Une réponse sur-amortie et un lock lent
- b) Une réponse sous-amortie avec risque de pic/résonance et d'instabilité**
- c) Aucun changement de dynamique
- d) Une stabilité garantie

12. La PLL se comporte en « suiveur de fréquence » seulement dans :

- a) Sa plage de verrouillage
- b) Sa bande passante en boucle fermée**
- c) Sa plage de capture
- d) L'état 'free-running'

13. Que se passe-t-il lorsque la sortie du VCO est déphasée de 90° par rapport au signal d'entrée (PLL avec détecteur de phase multiplieur analogique) ?

- a) Verrouillage parfait
- b) Atténuation
- c) Décalage de phase du comparateur
- d) **Le signal d'erreur est supprimé**

14. Pour une PLL du 2^{ème} ordre correctement compensée (facteur d'amortissement maintenu constant), augmenter la bande passante de boucle tend principalement à :

- a) Augmenter le temps de verrouillage de la boucle
- b) **Réduire le temps de verrouillage de la boucle**
- c) Ne pas modifier sensiblement le temps de verrouillage
- d) Rendre systématiquement la boucle instable

15. Pour une PLL 2^{ème} ordre, si l'on augmente la capacité principale du filtre de boucle (condensateur intégrateur), en gardant tous les autres paramètres inchangés, l'effet principal est :

- a) D'augmenter la fréquence naturelle de la boucle et d'accélérer le verrouillage
- b) **De diminuer la fréquence naturelle de la boucle et de ralentir le verrouillage**
- c) De ne pas affecter la dynamique de la boucle
- d) De toujours réduire le bruit de phase (bruit vu à la sortie du VCO), quelles que soient les autres conditions

16. Dans une PLL verrouillée, quel point de fonctionnement choisit-on pour définir les écarts utilisés dans le modèle linéaire ?

- a) La pulsation ω_{IN} du signal d'entrée
- b) La pulsation moyenne $(\omega_{IN} + \omega_{OUT})/2$
- c) **La pulsation libre (free-running) du VCO, ω_0**
- d) La pulsation nulle (0 rad/s)

17. Un oscillateur en anneau à 5 étages (NOR) présente un délai par étage de 20 ps. La fréquence d'oscillation est la plus proche de :

- a) 1 GHz
- b) 2.5 GHz
- c) **5 GHz**
- d) 10 GHz

18. Dans une PLL à pompe de charge avec détecteur de phase-fréquence, lorsque les signaux UP et DOWN sont tous deux inactifs (erreur de phase nulle entre IN et OUT), que se passe-t-il à l'entrée de commande du VCO ?

- a) La tension de commande tombe instantanément à 0 V puisque le courant de la pompe de charge est nul
- b) **Le filtre de boucle (intégrateur) conserve sa tension grâce à la charge stockée sur le condensateur, et le VCO continue de recevoir (à peu près) la même tension de commande**
- c) La tension de commande bascule rapidement entre les rails d'alimentation
- d) Le VCO cesse d'osciller car il ne reçoit plus de courant de la pompe de charge

19. Pour une récupération d'horloge fiable (CRC) sur données aléatoires, le flux de bits doit :

- a) Contenir de longues suites identiques
- b) Être uniquement en format return RZ
- c) **Éviter les longues suites identiques pour conserver des transitions**
- d) Avoir 0 % de jitter

20. Un Clock Recovery Circuit (CRC) pratique doit avoir :

- a) Une large bande passante pour suivre le jitter
- b) **Une faible bande passante pour rejeter le caractère aléatoire du jitter**
- c) Aucun filtre
- d) Un résonateur LC accordé débit binaire F_b

Justifications:

Q5: En linéarisation, on remplace la caractéristique du détecteur par sa pente locale au point de verrouillage, soit un gain constant K_D (V/rad ou A/rad selon le modèle).

Q9: Pour le 'détecteur XOR' et le 'détecteur multiplicateur analogique' la plage du signal d'entrée (l'erreur de phase) est de 0 à π (autour de $\pi/2$). *La notation 0 &(et) π (censé exprimer entre 0 et π) a probablement créé confusion!*

Q12: A noter que:

'Plage de verrouillage/capture' = amplitude d'écart de fréquence toléré.

'Bande passante' = vitesse/spectre des variations que la boucle peut suivre.

Ce sont deux notions différentes.

Pour faire la distinction avec Q7, la définition du Q12 aurait dû préciser l'état verrouillé de la PLL.

Q13: A noter qu'un 'verrouillage parfait', donc fin=fout, peut être possible **sur toute la plage du détecteur**, de 0 à π (autour de $\pi/2$), à condition que l'erreur de phase reste constante. L'option a) est donc un piège...

Q17:

Pour un anneau à N étages (N impair), on approxime :

$$T \approx 2Nt_d \Rightarrow f \approx \frac{1}{2Nt_d}$$

Avec $N = 5$, $t_d = 20$ ps :

$$T \approx 2 \cdot 5 \cdot 20 \text{ ps} = 200 \text{ ps} \Rightarrow f \approx 1/200 \text{ ps} = 5 \text{ GHz}$$