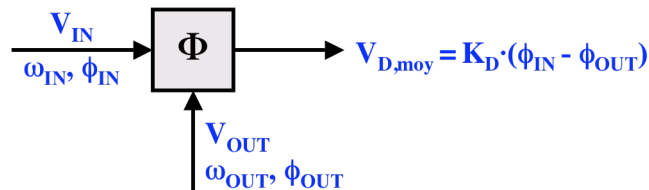


2. BLOCS FONCTIONNELS DE LA PLL

2.1 LES DETECTEURS DE PHASE

2.1.1 Introduction

Le détecteur ou comparateur de phase doit fournir une tension moyenne proportionnelle à l'écart de phase existant entre le signal d'entrée V_{IN} de la PLL et celui de retour de boucle V_{OUT} issu du VCO ou d'un éventuel diviseur de fréquence.



Le comportement du détecteur de phase doit être soigneusement étudié en fonction des critères suivants:

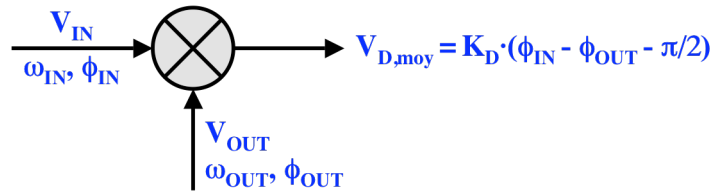
- ◆ Linéarité.
- ◆ Limite des écarts de phase admissibles.
- ◆ Comportement en présence de signaux de même fréquence, mais d'amplitude et/ou de forme variables.
- ◆ Comportement en présence de signaux de fréquence différente.
- ◆ Effet du bruit en entrée.

Les détecteurs de phase les plus répandus sont de trois types:

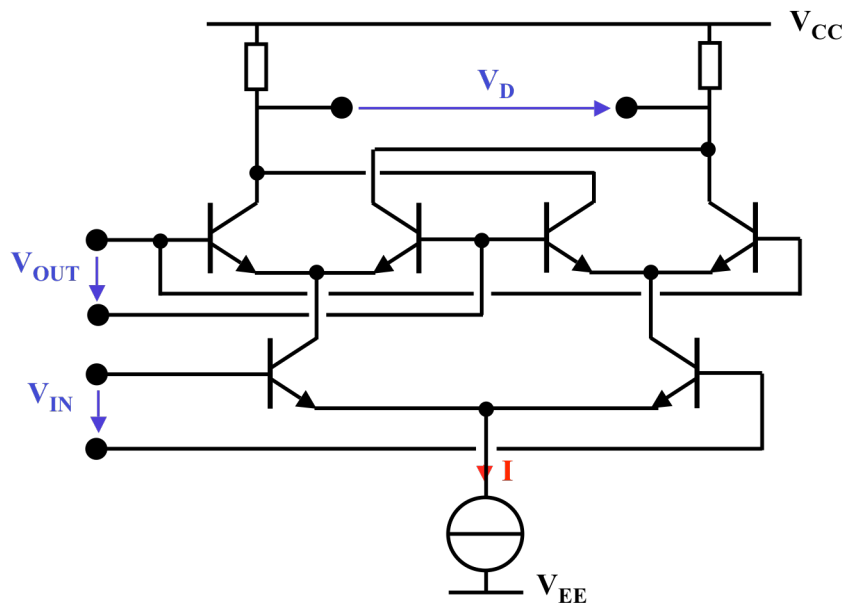
- ◆ Les détecteurs de phase basés sur la multiplication analogique, capables de fonctionner avec des signaux d'amplitude et de forme variables, et en présence de bruit.
- ◆ Les détecteurs de phase basés sur la fonction logique combinatoire XOR, capable de fonctionner uniquement avec des signaux logiques ayant un rapport cyclique proche de $\frac{1}{2}$, supportant un bruit binaire.
- ◆ Les détecteurs de phase et de fréquence basés sur une fonction logique séquentielle, capable de fonctionner uniquement avec des signaux logiques, sans contrainte sur leur rapport cyclique, mais ne supportant aucun bruit binaire.

2.2.2 Détecteur de phase analogique basé le multiplieur à cellule de Gilbert

Ce détecteur de phase analogique est en fait un multiplieur analogique à quatre quadrants dans sa version la plus simple, soit la cellule de Gilbert, aussi appelée "balanced mixer". Il est souvent représenté symboliquement par le schéma suivant:



Le schéma interne de la cellule de Gilbert est le suivant:



La caractéristique de ce circuit répond à l'équation:

$$V_D = -I \cdot R_C \cdot \left(\tanh \frac{V_{IN}}{2 \cdot U_T} \right) \cdot \left(\tanh \frac{V_{OUT}}{2 \cdot U_T} \right)$$

Le signal V_{OUT} provenant du VCO ou d'un diviseur de fréquence est toujours d'une amplitude suffisante pour faire travailler les paires différentielles du haut en "aiguilleurs" de courant "tout à gauche" ou "tout à droite". L'équation caractéristique du circuit se simplifie alors ainsi:

$$V_D = -I \cdot R_C \cdot \left(\tanh \frac{V_{IN}}{2 \cdot U_T} \right) \cdot (\text{signe}(V_{OUT}))$$

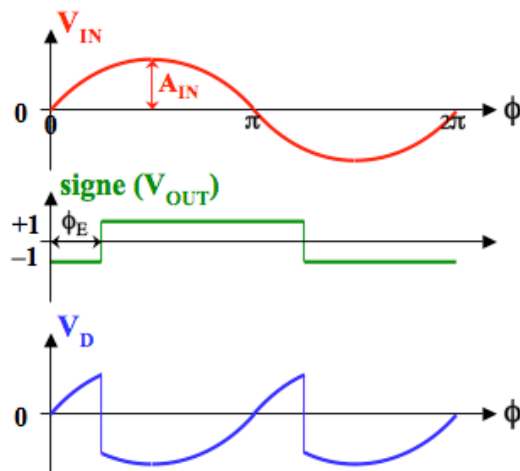
Si le signal d'entrée V_{IN} est inférieur à quelques dizaines de millivolts crête à crête, l'équation caractéristique du circuit peut être linéarisée ainsi:

$$V_D = -I \cdot R_C \cdot \frac{V_{IN}}{2 \cdot U_T} \cdot (\text{signe}(V_{OUT}))$$

Si le signal d'entrée V_{IN} est un petit sinus, de même fréquence que V_{OUT} , avec une avance de phase ϕ_E sur ce dernier, $v_D(t)$ s'exprime comme:

$$v_D(t) = -\frac{I \cdot R_C}{2 \cdot U_T} \cdot (A_{IN} \cdot \sin(\omega \cdot t)) \cdot (\text{signe}(\sin(\omega \cdot t - \phi_E)))$$

Si le signal d'entrée V_{IN} est un "petit" sinus, $v_D(t)$ a l'allure suivante:



Le signal $v_D(t)$ est périodique de fréquence $2 \cdot f_{IN}$. La composante alternative sera atténuée par le filtre passe-bas de boucle.

La valeur moyenne de $v_D(t)$ peut s'exprimer ainsi:

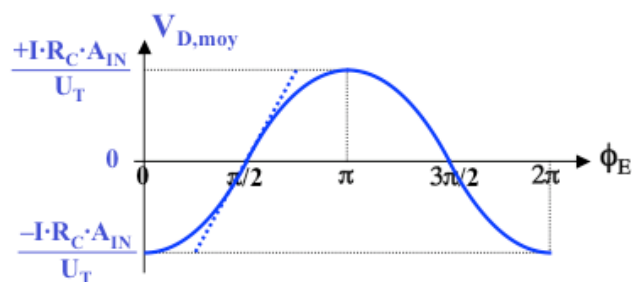
$$V_{D,moy} = \frac{1}{2\pi} \cdot \int_0^{2\pi} v_D(\phi) \cdot d\phi$$

$$V_{D,moy} = \frac{1}{2\pi} \cdot 2 \cdot \left(\int_0^{\phi_E} -\frac{I \cdot R_C}{2 \cdot U_T} \cdot A_{IN} \cdot (\sin \phi) \cdot (-1) \cdot d\phi + \int_{\phi_E}^{\pi} -\frac{I \cdot R_C}{2 \cdot U_T} \cdot A_{IN} \cdot (\sin \phi) \cdot (+1) \cdot d\phi \right)$$

$$V_{D,moy} = \frac{I \cdot R_C \cdot A_{IN}}{\pi \cdot 2 \cdot U_T} \cdot (\cos(\phi_E) - \cos(0) - \cos(\pi) + \cos(\phi_E))$$

$$V_{D,moy} = \frac{I \cdot R_C \cdot A_{IN}}{\pi \cdot U_T} \cdot \cos(\phi_E)$$

La caractéristique n'est pas linéaire comme le montre la figure suivante:



Autour de $\pi/2$ on peut considérer que le détecteur de phase est linéaire avec:

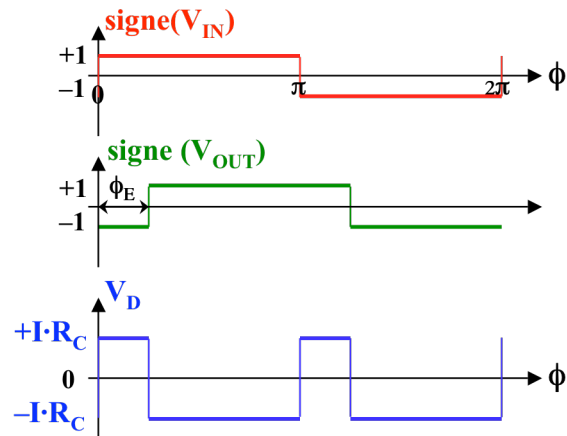
$$K_D = \frac{I \cdot R_C \cdot A_{IN}}{\pi \cdot U_T}$$

On voit que pour des signaux d'entrée de faible amplitude, celle-ci influence K_D , et donc les caractéristiques de la PLL.

Si le signal d'entrée V_{IN} dépasse 200 mV crête à crête, toujours avec la même fréquence que V_{OUT} , et une avance de phase ϕ_E sur ce dernier, $v_D(t)$ peut alors s'exprimer comme:

$$v_D(t) = -I \cdot R_C \cdot (\text{signe}(\sin(\omega \cdot t))) \cdot (\text{signe}(\sin(\omega \cdot t - \phi_E)))$$

Si le signal d'entrée V_{IN} est assez "grand" ($> 200 \text{ mV}_{p-p}$), $v_D(t)$ a l'allure suivante:



Le signal $v_D(t)$ est périodique de fréquence $2 \cdot f_{IN}$. La composante alternative sera atténuée par le filtre passe-bas de boucle.

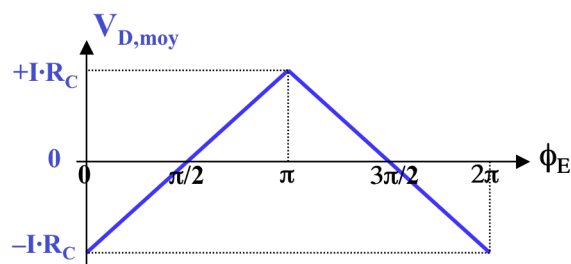
La valeur moyenne de $v_D(t)$ peut s'exprimer ainsi:

$$V_{D,moy} = \frac{1}{2\pi} \cdot \int_0^{2\pi} v_D(\phi) \cdot d\phi$$

$$V_{D,moy} = \frac{1}{2\pi} \cdot 2 \cdot \left(\int_0^{\phi_E} -I \cdot R_C \cdot (+1) \cdot (-1) \cdot d\phi + \int_{\phi_E}^{\pi} -I \cdot R_C \cdot (+1) \cdot (+1) \cdot d\phi \right)$$

$$V_{D,moy} = \frac{I \cdot R_C}{\pi} \cdot (\phi_E - 0 - \pi + \phi_E) = \frac{I \cdot R_C}{\pi} \cdot (2 \cdot \phi_E - \pi) = \frac{2 \cdot I \cdot R_C}{\pi} \cdot \left(\phi_E - \frac{\pi}{2} \right)$$

La caractéristique est alors linéaire comme le montre la figure suivante:



Le "gain" du détecteur de phase est:

$$K_D = \frac{2 \cdot I \cdot R_C}{\pi}$$

On voit que pour des signaux d'entrée de forte amplitude, K_D est constant, donc les caractéristiques de la PLL aussi.

Remarques

Dans tous les cas, lorsque la boucle de phase est verrouillée sur sa fréquence centrale, les deux signaux d'entrée et de réaction sont en quadrature (déphasés de $\pi/2$).

Lorsque les fréquences d'entrée f_{IN} et de réaction f_{OUT} sont différentes, et donc que la boucle n'est pas verrouillée, on a, suivant que V_{IN} est "petite" ou "grande":

$$v_D(t) = -\frac{I \cdot R_C}{2 \cdot U_T} \cdot (A_{IN} \cdot \sin(\omega_{IN} \cdot t)) \cdot (\text{signe}(\sin(\omega_{OUT} \cdot t))) \quad \text{pour } V_{IN} \text{ "petite"}$$

$$v_D(t) = -I \cdot R_C \cdot (\text{signe}(\sin(\omega_{IN} \cdot t))) \cdot (\text{signe}(\sin(\omega_{OUT} \cdot t))) \quad \text{pour } V_{IN} \text{ "grande"}$$

Un signal carré peut se décomposer ainsi:

$$\text{signe}(\sin(\omega \cdot t)) = \frac{4}{\pi} \cdot \left(\sin(\omega \cdot t) + \frac{1}{3} \cdot \sin(3 \cdot \omega \cdot t) + \frac{1}{5} \cdot \sin(5 \cdot \omega \cdot t) + \dots \right)$$

Le produit de deux sinus peut s'exprimer ainsi:

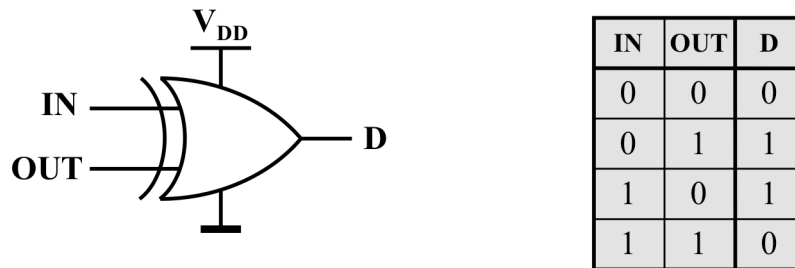
$$(\sin(\omega_1 \cdot t)) \cdot (\sin(\omega_2 \cdot t)) = \frac{1}{2} \cdot (\cos((\omega_1 - \omega_2) \cdot t) - \cos((\omega_1 + \omega_2) \cdot t))$$

Le signal $v_D(t)$ sera donc une somme de termes en $\cos((m \cdot \omega_{IN} \pm m \cdot \omega_{OUT}) \cdot t)$, où m et n sont entiers.

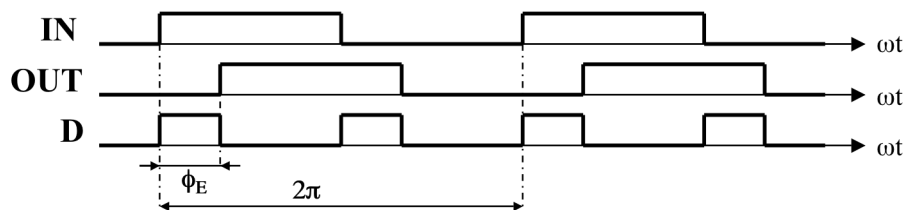
Dans tous les cas $V_{D,moy} = 0$, et $v_D(t)$ comprendra une composante alternative, ou battement, à basse fréquence $|f_{IN} - f_{OUT}|$, qui, si l'écart de fréquence est suffisamment faible, sera transmise par le filtre et permettra l'accrochage de la boucle.

2.2.3 Détecteur de phase numérique basé sur la fonction logique "OU Exclusif"

Ce détecteur de phase est en fait une simple porte logique XOR, comme représentée dans le schéma ci-dessous, avec sa table de vérité:



Lorsque la PLL est verrouillée, et que donc que $f_{IN} = f_{OUT}$, les signaux logiques ont l'allure suivante:

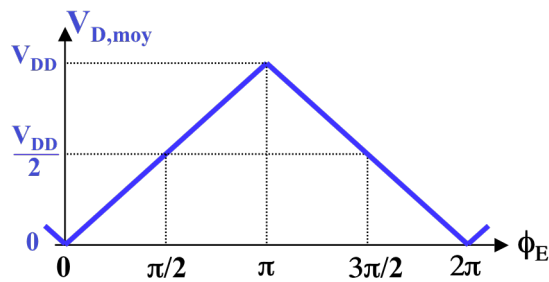


Le signal $v_D(t) = D \cdot V_{DD}$ est périodique de fréquence $2 \cdot f_{IN}$. La composante alternative sera atténuée par le filtre passe-bas de boucle.

La valeur moyenne de $v_D(t)$ peut s'exprimer ainsi:

$$V_{D,moy} = \frac{1}{T} \cdot \int_0^T v_D(t) \cdot dt = \frac{1}{\pi} \cdot (V_{DD} \cdot \phi_E + 0 \cdot (2\pi - \phi_E)) = \frac{V_{DD}}{\pi} \cdot \phi_E$$

La caractéristique est alors linéaire comme le montre la figure suivante:



Le "gain" du détecteur de phase est:

$$K_D = \frac{V_{DD}}{\pi}$$

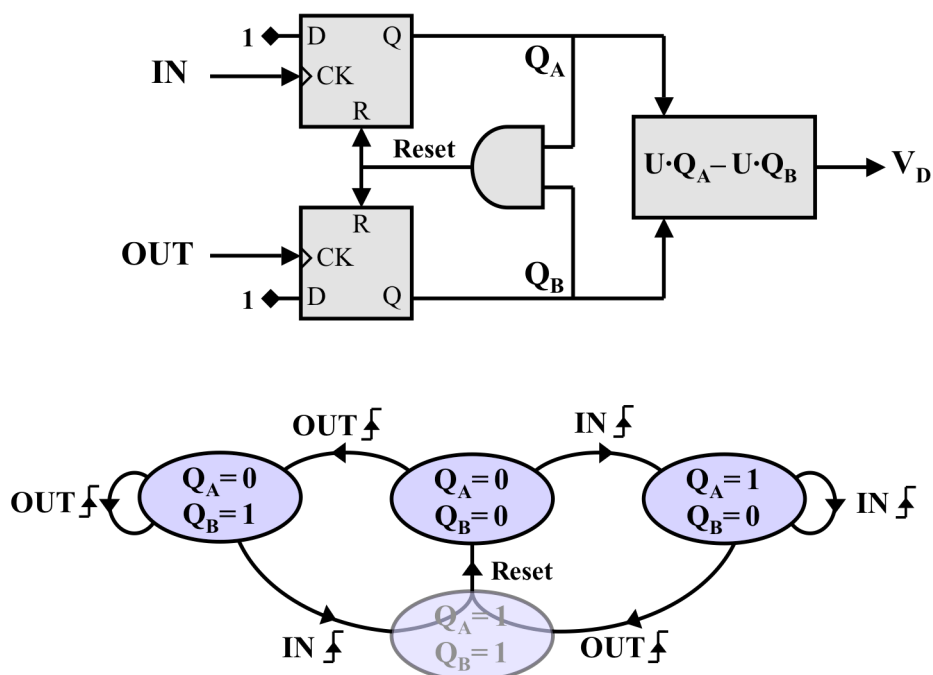
Cette analyse n'est juste que si les signaux dont on veut comparer la phase ont un rapport cyclique d'exactly $1/2$. Si ce n'est pas le cas, ce comparateur de phase présente les inconvénients suivants:

- ♦ sa dynamique se réduit d'autant que le rapport cyclique diffère de $1/2$;
- ♦ il permet un verrouillage de la PLL sur des multiples entiers ou des fractions entières des certaines fréquences normales de verrouillage, c'est à dire celles qui sont dans la "Lock Range".

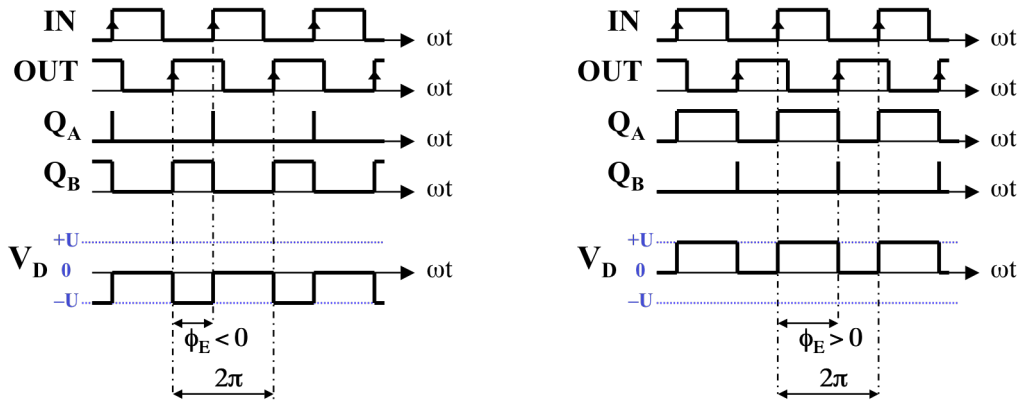
Lorsque les fréquences d'entrée f_{IN} et de réaction f_{OUT} sont différentes, et donc que la boucle de phase n'est pas verrouillée, on a à la sortie du XOR un signal rectangulaire de valeur moyenne égale à $V_{DD}/2$, et présentant un battement à $|f_{IN} - f_{OUT}|$, qui, si l'écart de fréquence est suffisamment faible, sera transmise par le filtre et permettra l'accrochage de la boucle.

2.2.4 Détecteur de phase-fréquence numérique basé sur une logique séquentielle

Ce détecteur est un système logique séquentiel dont le schéma et le diagramme d'état sont les suivants:



Lorsque la PLL est verrouillée, et que donc que $f_{IN} = f_{OUT}$, les signaux logiques ainsi que V_D ont l'allure suivante:

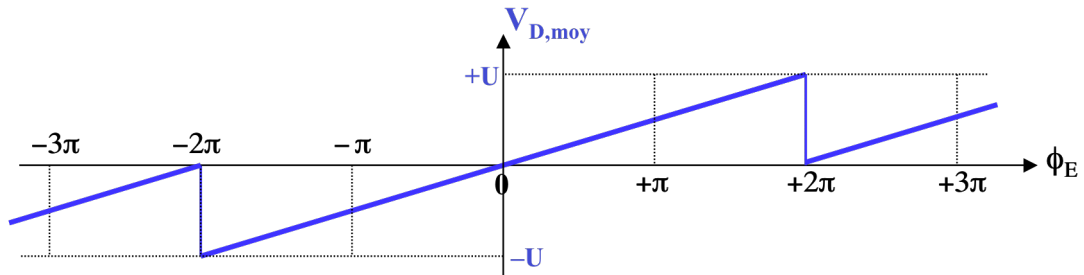


Le signal V_D est périodique de fréquence f_{IN} . La composante alternative sera atténuée par le filtre passe-bas de boucle.

La valeur moyenne de $v_D(t)$ peut s'exprimer ainsi:

$$V_{D,moy} = \frac{1}{T} \cdot \int_0^T v_D(t) \cdot dt = \frac{1}{2\pi} \cdot U \cdot \phi_E$$

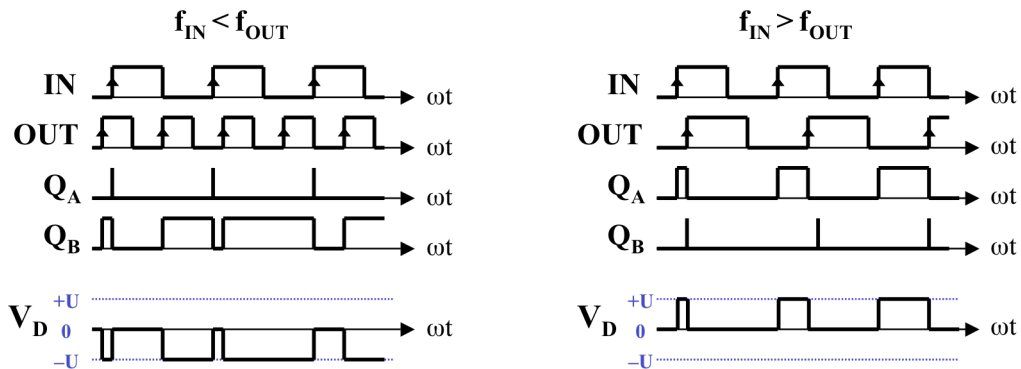
La caractéristique est alors linéaire comme le montre la figure suivante:



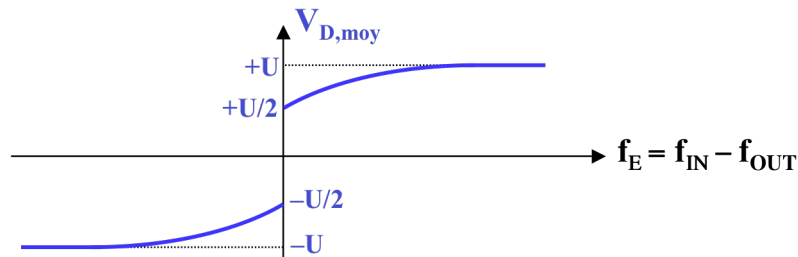
Le "gain" du détecteur de phase est:

$$K_D = \frac{2 \cdot U}{4 \cdot \pi}$$

Lorsque les fréquences d'entrée f_{IN} et de réaction f_{OUT} sont différentes, et donc que la boucle de phase n'est pas verrouillée, on a les signaux suivants:



On peut montrer que la caractéristique $V_{D,moy}$ en fonction de la différence des fréquences est la suivante:



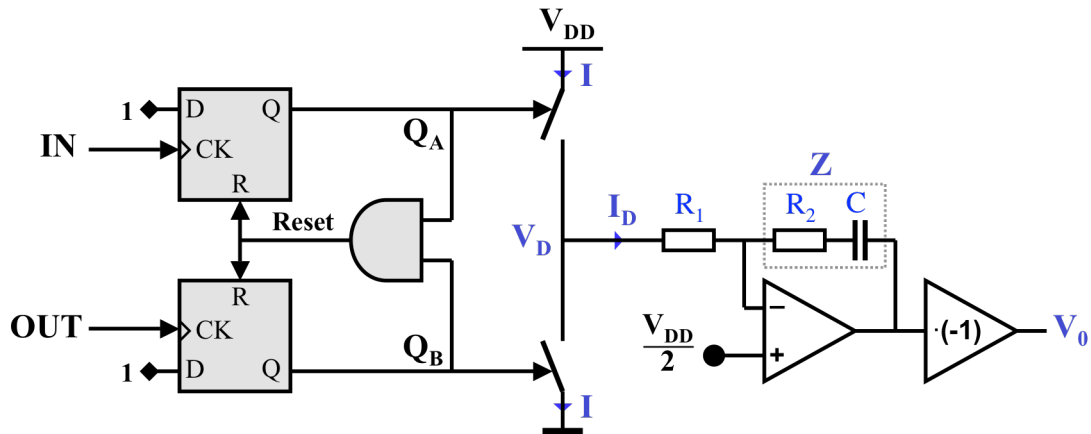
Ce détecteur de phase-fréquence présente les avantages suivants:

- ♦ il est insensible au rapport cyclique des signaux;
- ♦ il présente une large gamme de détection de phase, allant de -2π à $+2\pi$;
- ♦ il fonctionne en détecteur de fréquence en dehors de la gamme de synchronisme, ce qui facilite la capture.

Ce détecteur de phase-fréquence présente néanmoins les inconvénients suivants:

- ♦ il ne fonctionne qu'avec des signaux logiques;
- ♦ il est très sensible aux impulsions manquantes;
- ♦ il est très sensible à toute impulsion parasite (bruit logique).

L'étage de sortie, représenté par le rectangle $V_D = U \cdot Q_A - U \cdot Q_B$ dans le schéma de principe, est souvent réalisé simplement avec deux switches. Ce détecteur de phase fréquence étant le plus souvent associé à un filtre intégrateur selon le schéma suivant:



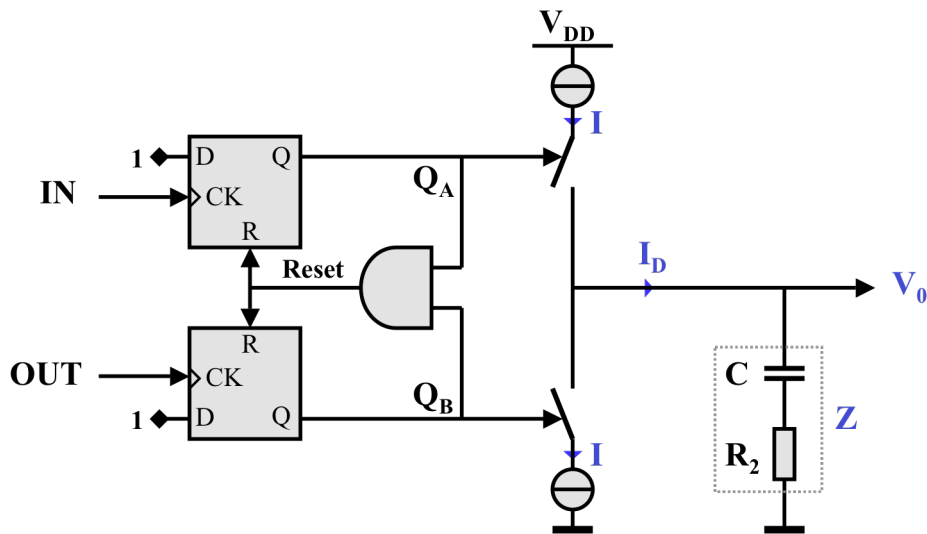
Le courant moyen de sortie est donné par:

$$I_{D,moy} = \frac{1}{2\pi} \cdot \frac{V_{DD}}{2} \cdot \frac{1}{R_1} \cdot \phi_E$$

La fonction de transfert détecteur + filtre est alors:

$$K_D \cdot F(p) = \frac{V_0(p)}{\phi_E(p)} = \frac{I_D(p)}{\phi_E(p)} \cdot Z(p) = \frac{V_{DD}}{4 \cdot \pi \cdot R_1} \cdot \left(R_2 + \frac{1}{p \cdot C} \right) = \frac{V_{DD}}{4 \cdot \pi} \cdot \frac{1 + p \cdot C \cdot R_2}{p \cdot C \cdot R_1}$$

L'étage de sortie intègre parfois deux sources de courant I . Cette structure dite "pompe de charge" ("Charge Pump"), permet de réaliser une fonction de transfert comportant une intégrale avec un filtre ne comportant que des éléments passifs, selon le schéma suivant:



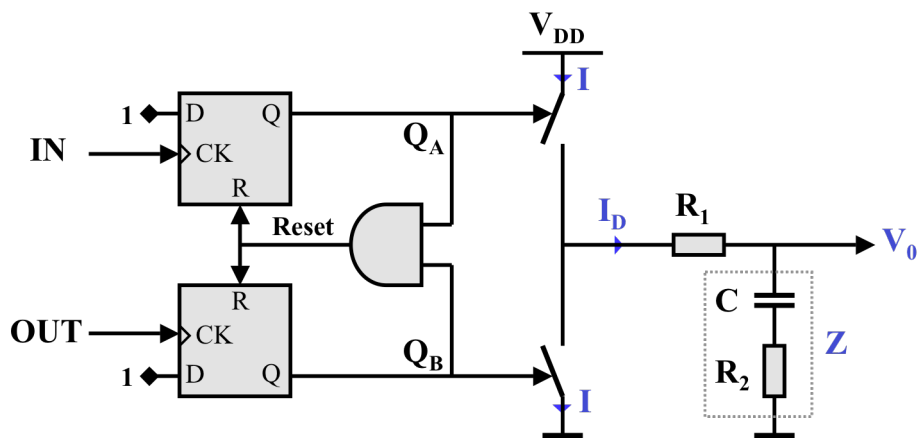
Le courant moyen de sortie est donné par:

$$I_{D,\text{moy}} = \frac{1}{2\pi} \cdot I \cdot \phi_E$$

La fonction de transfert détecteur + filtre est alors:

$$K_D \cdot F(p) = \frac{V_0(p)}{\phi_E(p)} = \frac{I_D(p)}{\phi_E(p)} \cdot Z(p) = \frac{I}{2 \cdot \pi} \cdot \left(R_2 + \frac{1}{p \cdot C} \right) = \frac{I}{2 \cdot \pi} \cdot \frac{1 + p \cdot C \cdot R_2}{p \cdot C}$$

On rencontre souvent une version simplifiée de la structure "pompe de charge", ne comportant pas de sources de courant, qui, associée à un filtre passif, permet de réaliser une fonction de transfert comportant une pseudo-intégrale. Le schéma est le suivant:



Tant que la tension aux bornes de la capacité est voisine de $V_{DD}/2$, le courant moyen de sortie est donné approximativement par:

$$I_{D,\text{moy}} \cong \frac{1}{2\pi} \cdot \frac{V_{DD}}{2} \cdot \frac{1}{R_1 + R_2} \cdot \phi_E$$

On a bien un circuit qui ressemble à un intégrateur, dans le sens que V_0 reste constant lorsque les deux switches sont ouverts. La fonction de transfert détecteur + filtre est alors:

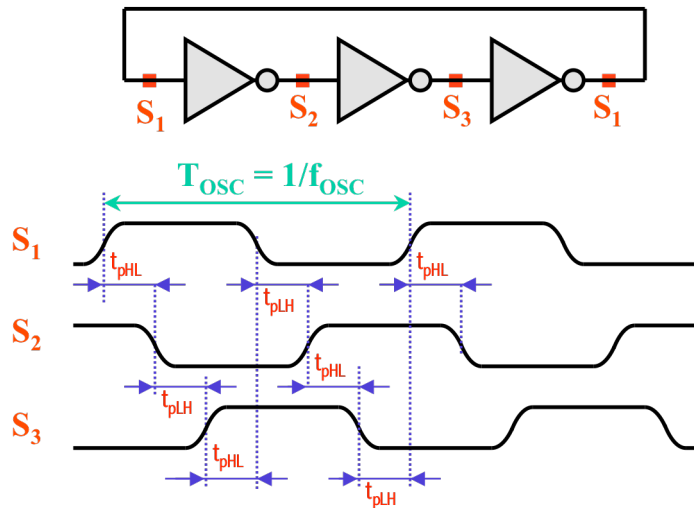
$$K_D \cdot F(p) = \frac{V_0(p)}{\phi_E(p)} = \frac{I_D(p)}{\phi_E(p)} \cdot Z(p) = \frac{V_{DD}}{4 \cdot \pi \cdot R_1} \cdot \left(R_2 + \frac{1}{p \cdot C} \right) = \frac{V_{DD}}{4 \cdot \pi} \cdot \frac{1 + p \cdot C \cdot R_2}{p \cdot C \cdot (R_1 + R_2)}$$

Par contre, lorsque le point de fonctionnement s'écarte de $V_{DD}/2$, le courant $I_{D,moy}$ diminue, ce qui est équivalent à une diminution de K_D .

3. VCO A OSCILLATEUR EN ANNEAU

3.1 L'OSCILLATEUR EN ANNEAU

Le schéma de principe d'un oscillateur en anneau formé d'inverseurs logiques, ainsi que les signaux à la sortie de chaque étage, sont les suivants (exemple à trois étages):

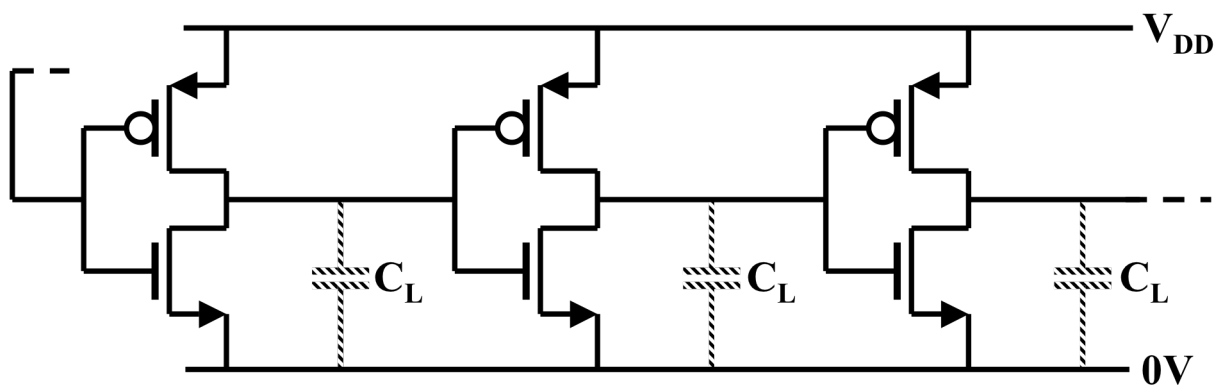


La fréquence d'oscillation est donnée par:

$$f_{\text{OSC}} = \frac{1}{N \cdot (t_{\text{pHL}} + t_{\text{pLH}})} \quad \text{avec : } N \text{ entier impair } \geq 3$$

où t_{pHL} et t_{pLH} sont les temps de propagation de chaque inverseur, et N le nombre d'étages. Celui-ci doit être impair, sinon le circuit reste stable dans l'un des deux états possibles, et supérieur ou égal à trois, car un seul inverseur rebouclé sur lui-même est en général stable, polarisé dans sa zone de transition.

En technologie CMOS, le schéma, tout simple, est le suivant:

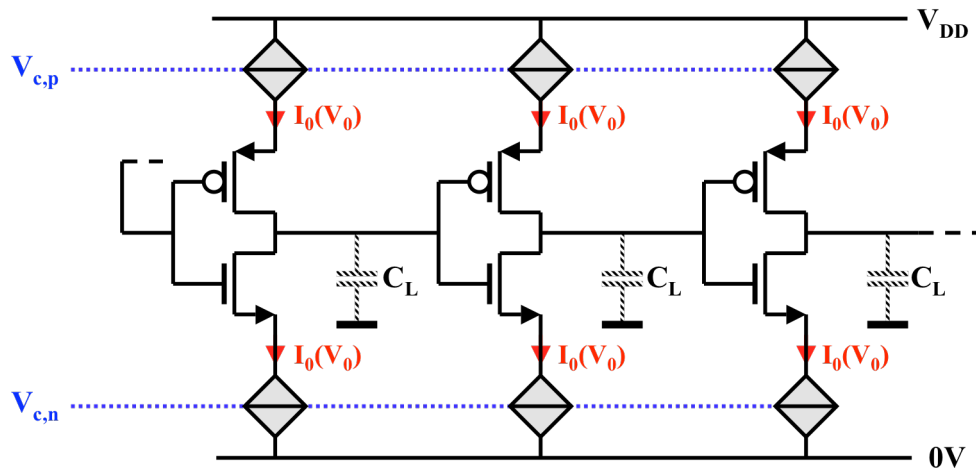


Les temps de propagation sont proportionnels à la capacité totale de charge C_L de chaque inverseur.

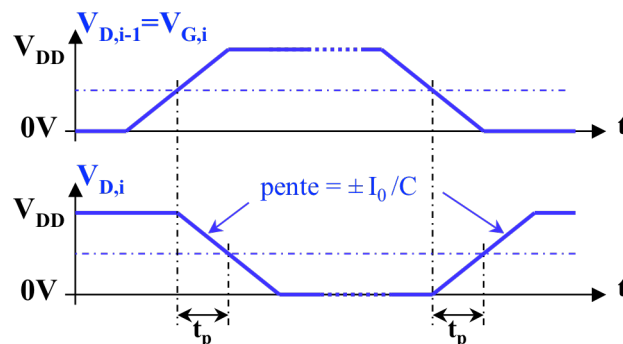
3.2 TRANSFORMATION DE L'OSCILLATEUR EN ANNEAU EN VCO

3.2.1 VCO à oscillateur en anneau "Current Starved"

Le principe dit "Current Starved" consiste à contrôler le courant de charge/décharge de la capacité C_L par des sources de courant, commandée par la tension V_0 , placées en série avec les transistors formant l'inverseur. Le schéma de principe est le suivant:



La charge et la décharge de C_L est alors linéaire, avec une pente $\pm I_0/C_L$. En considérant de façon très simplifiée, que les transistors sont de simples interrupteurs qui commutent lorsque leur potentiel de grille franchit le seuil $V_{DD}/2$, les potentiels de sortie des inverseurs ont alors l'allure simplifiée suivante:



Le temps de propagation moyen est de:

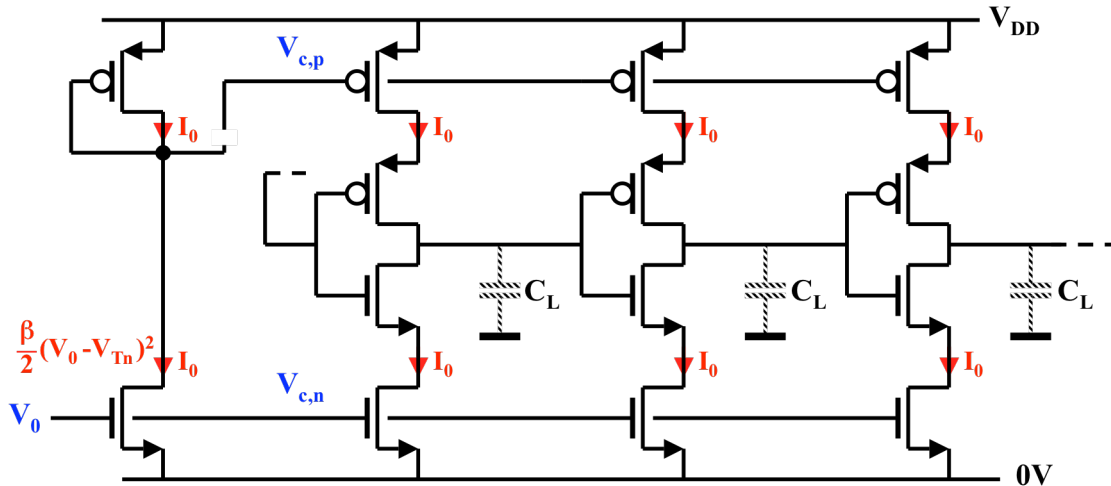
$$t_p = \frac{V_{DD}}{2} \cdot \frac{C_L}{I_0}$$

La fréquence d'oscillation dépend de I_0 selon la loi:

$$f_{OSC} = \frac{1}{2 \cdot N \cdot t_p} = \frac{I_0}{N \cdot C_L \cdot V_{DD}} \quad \text{avec: } N \text{ entier impair } \geq 3$$

Les sources de courant toutes égales peuvent être faites par deux miroirs de courant à sortie multiple. Le schéma à la page suivante illustre ce principe, avec une commande simple par la tension de contrôle V_0 .

Le schéma simplifié d'un VCO à oscillateur en anneau "Current Starved" est le suivant:



Le courant I_0 est donné par:

$$I_0 = \frac{\beta_n}{2} \cdot (V_0 - V_{Tn})^2$$

La fréquence d'oscillation est donnée par:

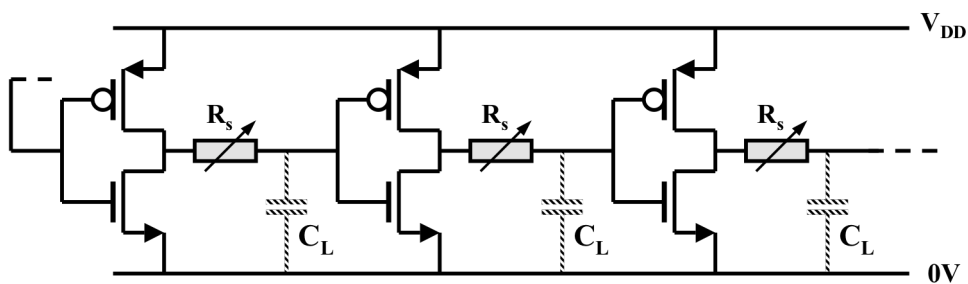
$$f_{OSC} = \frac{\beta_n}{2} \cdot \frac{(V_0 - V_{Tn})^2}{N \cdot C_L \cdot V_{DD}} \quad \text{avec : } N \text{ entier impair } \geq 3$$

Le "gain" du VCO autour d'une valeur de repos $V_{0,q}$ vaut:

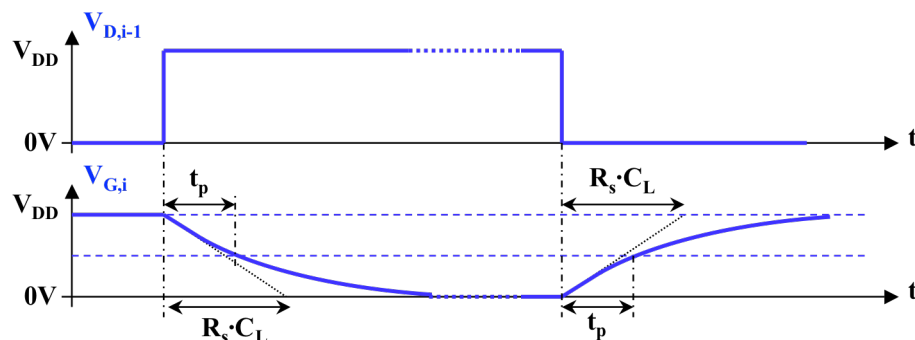
$$K_O = \frac{d\omega_{OSC}}{dV_0} = 2\pi \cdot \beta_n \cdot \frac{V_{0,q}}{N \cdot C_L \cdot V_{DD}} \quad \text{avec : } N \text{ entier impair } \geq 3$$

3.2.2 VCO à oscillateur en anneau à résistance série contrôlée

Le principe consiste à insérer une résistance série à la sortie de chaque inverseur pour ralentir la charge/décharge de la capacité C_L qui est principalement composée de la capacité des grilles de l'étage suivant. Le schéma de principe est le suivant:



En considérant de façon très simplifiée, que les transistors sont de simples interrupteurs avec une résistance $r_{on} \ll R_s$, les potentiels des drains et des grilles alors l'allure simplifiée suivante:



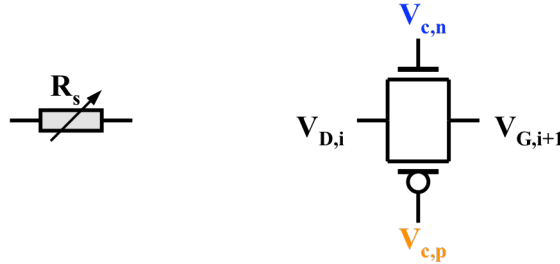
Le temps de propagation moyen est de:

$$t_p = R_s \cdot C_L \cdot \ln 2$$

La fréquence d'oscillation dépend de I_0 selon la loi:

$$f_{OSC} = \frac{1}{2 \cdot N \cdot t_p} = \frac{1}{N \cdot R_s \cdot C_L \cdot \ln 2} \quad \text{avec : } N \text{ entier impair } \geq 3$$

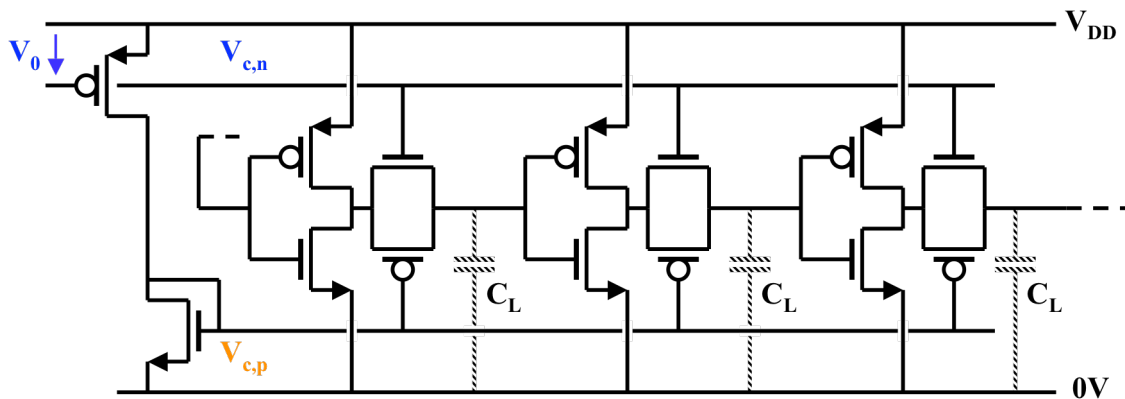
Chaque résistance série variable peut être réalisée selon le schéma suivant:



La résistance équivalente est donnée par (cours Structures analogiques, Prof. M. Kayal):

$$R_s = \frac{1}{\beta_n \cdot (V_{c,n} - V_{Tn} - V_{in}) + \beta_p \cdot (V_{in} - V_{c,p} - V_{Tp})}$$

Le principe d'une commande simple R_s par la tension de contrôle V_0 est illustré par le schéma suivant:



Si $V_{Tn} \approx V_{Tp} = V_T$ et $\beta_n \approx \beta_p = \beta$, la fréquence d'oscillation est donnée par:

$$f_{OSC} = \frac{\beta \cdot (2 \cdot V_0 - 2 \cdot V_T - V_{DD})}{2 \cdot N \cdot C_L \cdot \ln 2} \quad \text{avec : } N \text{ entier impair } \geq 3$$

Le "gain" du VCO vaut:

$$K_O = \frac{d\omega_{OSC}}{dV_0} = 2\pi \cdot \beta \cdot \frac{1}{N \cdot C_L \cdot \ln 2} \quad \text{avec : } N \text{ entier impair } \geq 3$$

3.2.3 Caractéristiques des VCOs à oscillateur en anneau à inverseurs CMOS

- Totalemment intégrables en technologies CMOS numériques avancées.
- Grande souplesse dans le choix de la gamme de fréquence par simple changement du nombre d'étages.
- Amplitude de sortie (sur les drains) constante en fonction de la fréquence.
- Relation approximativement linéaire entre la tension de contrôle et la fréquence.
- En pratique, rapport de plus de 2 décades entre $f_{\text{OSC,min}}$ et $f_{\text{OSC,max}}$.