

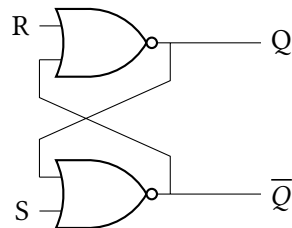
## SR Latch : états valides, indéfinis et invalide

### Rappel : fonctionnement (NOR–NOR)

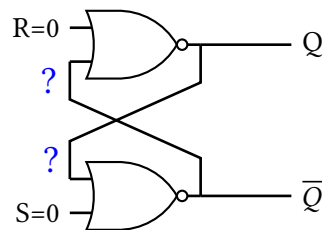
Le *SR Latch* a deux entrées  $S$  (Set) et  $R$  (Reset), et deux sorties complémentaires  $Q$  et  $\bar{Q}$ . Avec des portes NOR :

- $S = 1, R = 0$  : **Set**  $\Rightarrow Q = 1$  (et  $\bar{Q} = 0$ ).
- $S = 0, R = 1$  : **Reset**  $\Rightarrow Q = 0$  (et  $\bar{Q} = 1$ ).
- $S = 0, R = 0$  : **Mémoire**  $\Rightarrow Q$  conserve l'état précédent. À la mise sous tension, si rien n'a encore fixé l'état,  $Q$  est **indéfini**.
- $S = 1, R = 1$  : cas **interdit/invalide**. Chaque NOR force sa sortie à 0, donc  $Q = 0$  et  $\bar{Q} = 0$ , ce qui est une contradiction.

### Schéma générique (NOR–NOR)

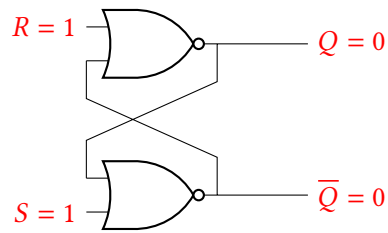


### Cas mémoire : $S = 0, R = 0$



*Effet* : aucune entrée ne force les sorties  $\Rightarrow$  on conserve l'état précédent. Au démarrage (mise sous tension), l'état est indéfini :  $Q$  peut valoir 0 ou 1.

### Cas interdit : $S = 1, R = 1$



Problème : les deux sorties valent 0, ce qui viole la complémentarité  $Q = \bar{\bar{Q}}$ . C'est donc un état **interdit**.

### Table de vérité

$S$	$R$	$Q$	$\bar{Q}$	Commentaire
1	0	1	0	Set (forcer $Q = 1$ )
0	1	0	1	Reset (forcer $Q = 0$ )
0	0	<i>mémoire (état précédent)</i>		Indéfini seulement au démarrage
1	1	0	0	<b>Interdit (non complémentaire)</b>

### À retenir

- $S = 0, R = 0$  : **mémoire** (indéfini uniquement *au tout début*).
- $S = 1, R = 1$  : **interdit** car  $Q$  et  $\bar{Q}$  ne sont pas complémentaires.