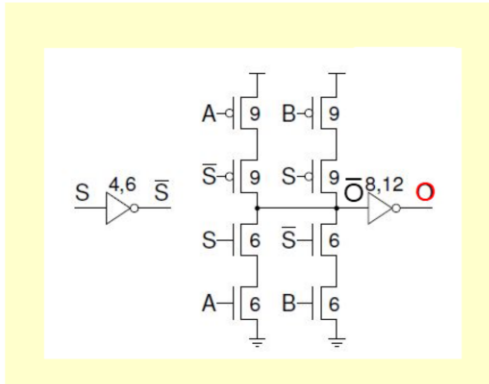
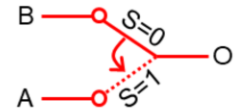


Exercice 12.1a: 2-1 multiplexer

Déterminez la table de vérité de ce schéma et montrez que la sortie «O» correspond à un 2-1 MUX («O»=A si S=1 et «O»=B si S=0)



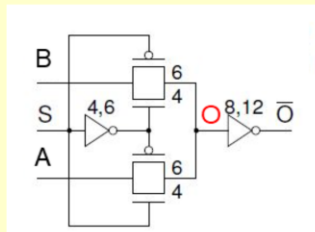
S	A	B	$\overline{O}$	O	O
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			



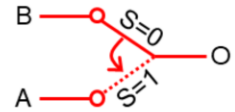
Zimmermann, Fichtner, IEEE journal of solid-state circuits, Vol. 32, No. 7, pp. 1-12.

Exercice 12.1b: 2-1 multiplexer

Déterminez la table de vérité de ce schéma et montrez que la sortie «O» correspond à un 2-1 MUX («O»=A si S=1 et «O»=B si S=0)



S	A	B	$\overline{O}$	O	O
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			



Zimmermann, Fichtner, IEEE journal of solid-state circuits, Vol. 32, No. 7, pp. 1-12.



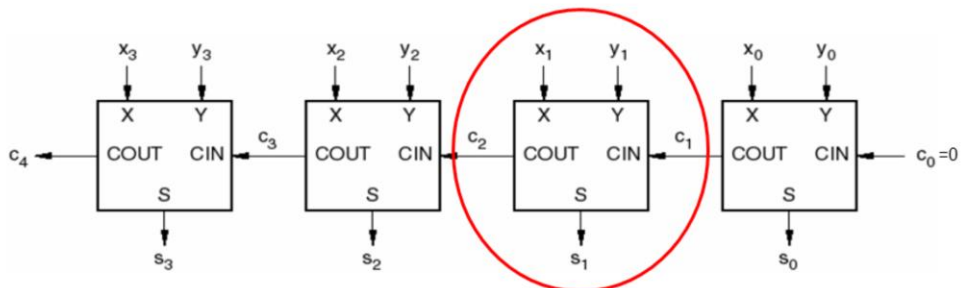
Exercice E12.2: Addition binaire

Principe

$$\begin{array}{r} c_4 \ c_3 \ c_2 \ c_1 \ 0 \\ x_3 \ x_2 \ x_1 \ x_0 \\ + \ y_3 \ y_2 \ y_1 \ y_0 \\ \hline = \ c_4 \ s_3 \ s_2 \ s_1 \ s_0 \end{array}$$

Exemple d'addition binaire:
 $1101 + 1001 = 10110$

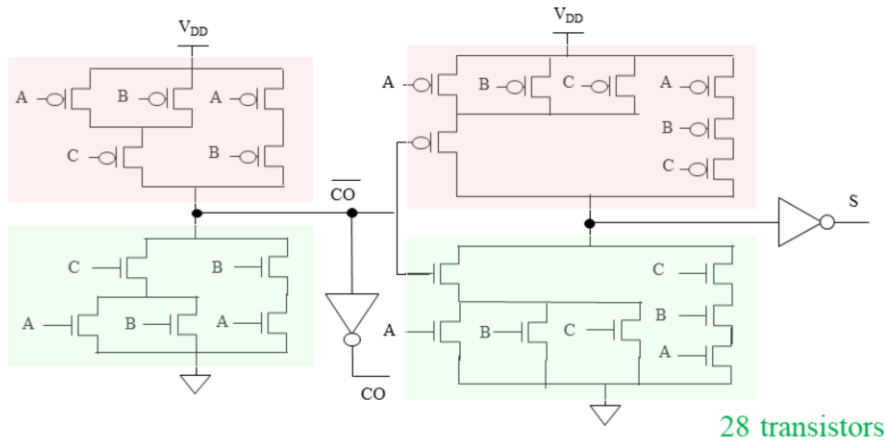
$$\begin{array}{r} 10010 \quad C \\ 1101 \quad A \\ + 1001 \quad B \\ \hline = 10110 \quad S \end{array}$$





Exercice E12.2: « Full adder »

Calculez la table de vérité et montrez qu'elle correspond à une addition binaire

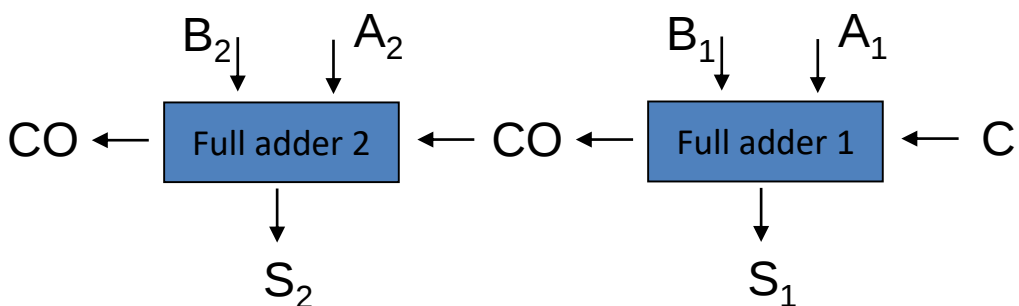


Zimmermann, Fichtner, IEEE journal of solid-state circuits, Vol. 32, No. 7, pp. 1-12.

Dans une addition en base 10 de deux nombres positifs, on doit additionner deux chiffres d'une même colonne (par exemple les chiffres des dizaines) avec la retenue provenant de l'addition de la colonne précédente (par ex. celle des unités). Il en résulte une somme de la forme « c s » avec s le chiffre de la somme et c la retenue pour le calcul suivant.

L'addition de nombres binaires (0 ou 1) se fait de la même façon. L'opération de base est le « full adder », les chiffres binaires A et B sont additionnés avec la retenue C provenant du calcul précédent. Le résultat est une somme S avec une nouvelle retenue CO.

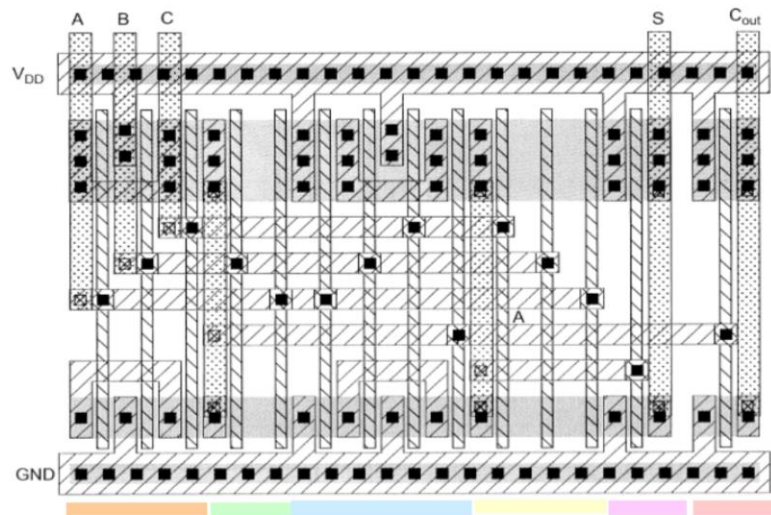
Montrez que le schéma ci-dessus sert à additionner deux chiffres binaires A et B avec une retenue binaire C, et délivre la somme binaire S et la nouvelle retenue CO. La mise en cascade du composant permet de sommer des nombres binaires à plusieurs chiffres.





Layout du « full adder » de l'exercice E12.2

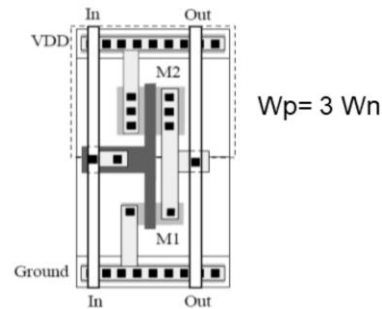
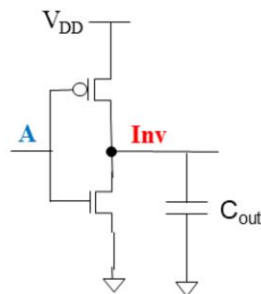
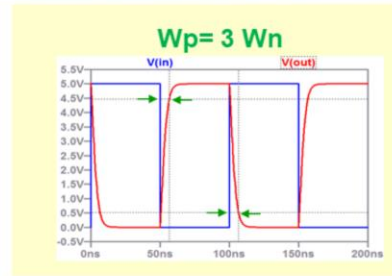
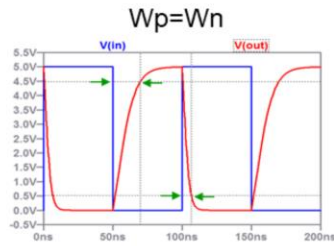
Weste/Harris, « CMOS VLSI design », Addison-Wesley



Essayez de reconnaître les différents transistors à partir du schéma de la page précédente!



Exercice 12.3: dimensionnement (1)



Nous considérons un inverseur CMOS. Cet inverseur charge une capacité C_{out} de sortie. La technologie utilisée donne des porteurs dans les PMOS trois fois moins mobiles que dans les NMOS.

- a) Le premier designer n'a pas compris les implications de cette caractéristique physique. Il a dessiné des PMOS et des NMOS de même largeur $W_p = W_n$. La conséquence est une courbe de sortie avec un temps de charge trois fois plus long que celui de décharge.

Explications: Les temps caractéristiques sont donnés par le terme RC. Pour charger la capacité, le courant passe dans le PMOS (avec une résistance trois fois plus grande). Pour décharger la capacité, le courant passe dans le NMOS (3 fois moins résistif) donc trois fois plus rapide.

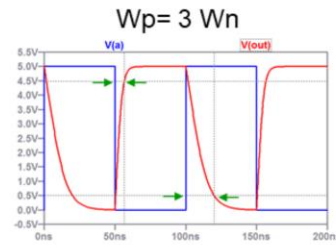
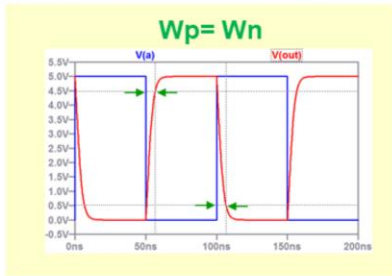
- b) Le deuxième designer a compensé la faible mobilité des PMOS par une largeur trois fois plus grande $W_p = 3 W_n$. Les temps de charge et de décharge sont maintenant identiques.

Rem:

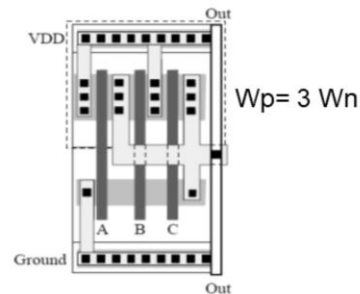
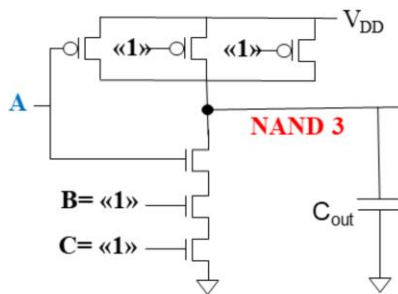
- Simulation avec le programme «LTspice IV»
- La capacité C_{out} est grande, on peut donc négliger les capacités parasites dans les MOSFETs eux-mêmes.



Exercice 12.3: dimensionnement (2)



NAND 3



Considérons un NAND à trois entrée A,B,C. Les entrées B et C sont toujours à «1». L'entrée A est variée.

- a) Basé sur les résultats de la page précédente et sur les bonnes expériences avec l'inverseur, le deuxième designer a également compensé la faible mobilité des PMOS par une largeur trois fois plus grande $W_p = 3 W_n$.

Il obtient à sa grande surprise un temps de décharge trois fois plus long que le temps de montée. !!!

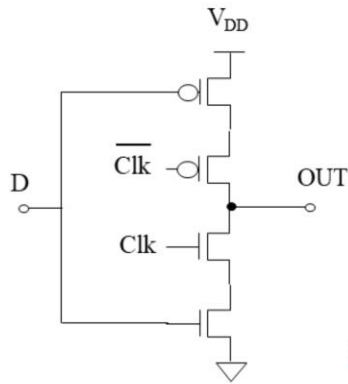
- b) Le premier designer a continué à utiliser la même largeur pour les PMOS et les NMOS ($W_p = W_n$). Il obtient les mêmes temps de charge et de décharge.

Question: ?? POURQUOI ??

Visiblement le problème de la mobilité n'est pas le seul qui entre en ligne de compte. Une autre considération doit être faite. Laquelle ?

Exercice 12.4: Tri-state inverter

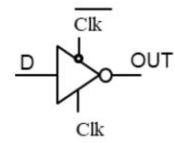
Étudiez le schéma ci-dessous



Faites la table de vérité

Clk	D	OUT
0	0	
0	1	
1	0	
1	1	

Symbole



Comparez avec:

