

Exercice E10.1: opération subthreshold



- a) Dessinez la coupe d'un transistor NMOS.
- b) Le substrat, la source et le drain sont mis à la masse. La tension de gate correspond à la tension de flat-band $V_{\rm fb}$. Dessinez le schéma de bande le long d'une ligne droite reliant la source au drain et passant juste sous l'oxyde.
- c) Quelle structure spécifique pouvez-vous reconnaître ?
- d) Comment varier les tensions de gate et de drain pour la faire fonctionner en mode actif ?
 Indiquez les courants principaux dans ce mode.



Exercice E10.2: VLSI et dissipation d'énergie



Considérons un chip avec une "Very Large Scale Integration" (VLSI) travaillant à température ambiante. Il contient 10^9 NMOS, tous "fermés" donc avec une tension de gate V_G =0. Le courant "subthreshold" est exprimé par:

$$I_{D,sub} \cong I_{0,sub} \cdot e^{q(V_G - V_T)/nkT}$$
 avec $n = 1.33$

- A) Le courant à V_G=0 V pour une tension de threshold V_T=0.5 V est de 4 pA par transistor. Quelle est la consommation en courant de tout le chip lorsque les transistors sont tous fermés ?
- B) Nous diminuons la tension de threshold à V_T=0.25V. Quelle est maintenant la consommation en courant de tout le chip lorsque les transistors sont tous fermés ?

<u>Commentaire</u>: Cet exercice vise à montrer que le courant "subthreshold" pose une limite inférieure pour la tension de voltage, ceci afin d'assurer une bonne "fermeture" des transistors. Dans un micro-processeur, il y a en effet beaucoup plus de transistors au repos que de transistors "ouverts".



Exercice E10.3: question de réflexion



Répondez à la question de réflexion

Quelles sont les contraintes sur l'oxyde d'une structure MOS ?

Discutez le cas d'une structure MOS sur substrat p en inversion forte (transistor) et celui de la même structure en déplétion profonde (CCD).

Exemple:

on applique 5V sur le gate. Dans lequel des deux cas (inversion forte ou déplétion profonde) le champ électrique dans l'oxyde est-il le plus important ? (risque de claquage!).



Exercices E10.4



E10.4: MOSFET avec grille et drain court-circuités

- a) Lorsque la tension de drain et celle de gate sont court-circuitées $(V_G=V_D)$, comparez la tension de drain V_D avec la tension de saturation $V_{D,sat}$. (nous supposons une tension de threshold V_{M0} positive pour le NMOS, et la source et substrat connectés à la masse)
- b) Que peut-on en déduire sur le régime de fonctionnement du NMOS ?
- c) Déterminez la relation courant-tension de ce transistor NMOS avec la grille et le drain court-circuités.
- d) Comment peut-on à partir de la mesure de cette caractéristique déterminer la tension de seuil ?